

明細書

单極单投スイッチ、单極双投スイッチ及び多極多投スイッチ

技術分野

この発明は、高周波信号の伝播を制御する单極单投スイッチ、单極双投スイッチ及び多極多投スイッチに関するものである。

背景技術

第1図は例えば、“High-power microwave transmit-receive switch with series and shunt GaAs FETs”, IEICE Trans. ELECTRON, Feb. 1992に示された従来の单極双投スイッチを示す回路図である。

第1図に示す单極双投スイッチは、入力端子1a、出力端子1b、出力端子1c、FET（電界効果トランジスタ）2a、FET2b、インダクタ3a、インダクタ3b、線路4及びグランド5を備えている。FET2aのドレインは入力端子1aに接続され、ソースは出力端子1cに接続されている。インダクタ3aの一方の端子は入力端子1aに接続され、他方の端子は出力端子1cに接続されている。線路4の一方の端子は入力端子1aに接続され、他方の端子は出力端子1bに接続されている。FET2bのドレインは出力端子1bに接続され、ソースはグランド5に接続されている。インダクタ3bの一方の端子は出力端子1bに接続され、他方の端子はグランド5に接続されている。

次に動作について説明する。

第1図において、FET2a及びFET2bはゲートに印加する電圧

によりオン状態とオフ状態を切り換えるスイッチとして動作する。FET 2aのゲートにドレイン電圧及びソース電圧と同電位のゲート電圧を印加すると、FET 2aはオン状態となり抵抗性を示す。一方、FET 2aのゲートにピンチオフ電圧以下の電圧を印加すると、FET 2aはオフ状態となり容量性を示す。FET 2bも同様の動作をする。

第2図は第1図におけるFET 2a及びFET 2bをオフ状態としたときの等価回路図である。第2図に示すように、FET 2aをオフ状態としたときには、FET 2aのドレイン又はソース 6a とソース又はドレイン 6bとの間に、並列に接続されたオフ容量 9、オフ抵抗 10 と、寄生インダクタ 8 とが直列に接続された状態となる。FET 2bをオフ状態としたときも同様である。

第3図は第1図におけるFET 2a及びFET 2bをオン状態としたときの等価回路図である。第3図に示すように、FET 2aをオン状態としたときには、FET 2aのドレイン又はソース 6a とソース又はドレイン 6bとの間に、オン抵抗 7 及び寄生インダクタ 8 が直列に接続された状態となる。FET 2bをオン状態としたときも同様である。

第1図において、FET 2a及びFET 2bをオフ状態にした場合、すなわち、FET 2a及びFET 2bの等価回路図が第2図である場合を考える。この単極双投スイッチの使用周波数 f_1 において、寄生インダクタ 8 のリアクタンス成分がオフ容量 9 のリアクタンス成分に比べて十分小さく、オフ抵抗 10 が十分大きく、 $f_1 = 1/\sqrt{ } (FET 2a \text{ のオフ容量 9 のキャパシタンス}) \times (インダクタ 3a \text{ のインダクタンス}) = 1/\sqrt{ } (FET 2b \text{ のオフ容量 9 のキャパシタンス}) \times (インダクタ 3b \text{ のインダクタンス})$ の関係である場合、入力端子 1a から見た出力端子 1b のインピーダンスは低くなり、入力端子 1a から見た出力端子 1c のインピーダンスは高くなる。このとき、入力端子 1a から入力さ

れた高周波信号は出力端子 1 b に出力される。

また、第 1 図において、FET 2 a 及び FET 2 b をオン状態にした場合、すなわち、FET 2 a 及び FET 2 b の等価回路図が第 3 図である場合を考える。このとき、入力端子 1 a から見た出力端子 1 b のインピーダンスは高くなり、入力端子 1 a から見た出力端子 1 c のインピーダンスは低くなる。このとき、入力端子 1 a から入力された高周波信号は出力端子 1 c に出力される。

従来の単極双投スイッチは以上のように構成されており、高耐電力を得るために FET 2 a 及び FET 2 b のゲート幅を大きくすると、寄生インダクタ 8 のリアクタンス成分がオフ容量 9 のリアクタンス成分に対して無視できない大きさになり、かつ、オフ抵抗 10 が小さくなるために、FET 2 a 及び FET 2 b をオフ状態にしたときに入力端子 1 a から出力端子 1 b に伝播する高周波信号の伝播損失が大きくなり、入力端子 1 a から出力端子 1 c への高周波信号のアイソレーションが低下するという課題があった。

この従来例では、単極双投スイッチについて述べているが、単極单投スイッチや多極多投スイッチでも同様の課題があった。

この発明は上記のような課題を解決するためになされたもので、マイクロ波帯又はミリ波帯にて、高耐電力でかつ高周波信号の伝播損失が少なくアイソレーションが低下しない特性を持つ単極单投スイッチ、単極双投スイッチ及び多極多投スイッチを得ることを目的とする。

発明の開示

この発明に係る単極单投スイッチは、入力端子と出力端子間の高周波信号の伝播を制御するものにおいて、電界効果トランジスタのドレイン及びソースにインダクタを並列に接続した第 1 の電界効果トランジスタ

スイッチを複数個並列に接続し、上記各電界効果トランジスタのゲートに印加する電圧により上記各電界効果トランジスタのオン状態とオフ状態を切り換え、上記高周波信号の周波数において、上記各電界効果トランジスタのオフ容量とそれぞれ接続されている上記各インダクタが並列共振するように構成するものである。

この発明により、高耐電力でかつ入力端子から出力端子への高周波信号の伝播損失を小さくすることができ、入力端子から出力端子への高周波信号のアイソレーションを低下させないという効果が得られる。

図面の簡単な説明

第1図は従来の単極双投スイッチを示す回路図である。

第2図は第1図における電界効果トランジスタをオフ状態としたときの等価回路図である。

第3図は第1図における電界効果トランジスタをオン状態としたときの等価回路図である。

第4図はこの発明の実施の形態1による単極单投スイッチの構成を示す回路図である。

第5図は第4図における電界効果トランジスタをオフ状態としたときの等価回路図である。

第6図は第4図における電界効果トランジスタをオン状態としたときの等価回路図である。

第7図はこの発明の実施の形態2による単極单投スイッチの構成を示す回路図である。

第8図は第7図における電界効果トランジスタをオフ状態にしたときの等価回路図である。

第9図は第7図における電界効果トランジスタをオン状態としたとき

の等価回路図である。

第10図はこの発明の実施の形態3による单極单投スイッチの構成を示す回路図である。

第11図は第10図における電界効果トランジスタをオフ状態としたときの等価回路図である。

第12図は第10図における電界効果トランジスタをオン状態としたときの等価回路図である。

第13図はこの発明の実施の形態4による单極单投スイッチの構成を示す回路図である。

第14図は第13図における電界効果トランジスタをオフ状態としたときの等価回路図である。

第15図は第13図における電界効果トランジスタをオン状態としたときの等価回路図である。

第16図はこの発明の実施の形態5による单極单投スイッチの構成を示す回路図である。

第17図は第16図における電界効果トランジスタをオフ状態としたときの等価回路図である。

第18図は第16図における電界効果トランジスタをオン状態としたときの等価回路図である。

第19図はこの発明の実施の形態6による单極单投スイッチの構成を示す回路図である。

第20図は第19図における電界効果トランジスタをオフ状態としたときの等価回路図である。

第21図は第19図における電界効果トランジスタをオン状態としたときの等価回路図である。

第22図はこの発明の実施の形態7による单極双投スイッチの構成を

示す回路図である。

第23図は第22図における電界効果トランジスタをオフ状態としたときの等価回路図である。

第24図は第22図における電界効果トランジスタをオン状態としたときの等価回路図である。

第25図はこの発明の実施の形態8による多極多投スイッチの構成を示す回路図である。

第26図は第25図の多極多投スイッチの動作を説明する図である。

発明を実施するための最良の形態

以下、この発明をより詳細に説明するために、この発明を実施するための最良の形態について、添付の図面に従って説明する。

実施の形態1.

第4図はこの発明の実施の形態1による単極单投スイッチの構成を示す回路図である。第4図に示す単極单投スイッチは、入力端子11a、出力端子11b、FET（電界効果トランジスタ）12a、FET12b、インダクタ13a及びインダクタ13bを備えている。FET12aとインダクタ13aの並列接続により第1のFETスイッチ14aを構成し、FET12bとインダクタ13bの並列接続により第1のFETスイッチ14bを構成しており、FETスイッチ14a、14bの一方の端子は入力端子11aに接続され、他方の端子は出力端子11bに接続されている。このように、この実施の形態1では、第1のFETスイッチ14aと第1のFETスイッチ14bを並列に接続している。

FET12a、FET12bを2個並列に接続することにより、同じ耐電力を得るための各ゲート幅を $1/2$ にすることができ、各ゲート幅を $1/2$ にすることにより、この単極单投スイッチの使用周波数fにお

いて、FET12a、FET12bの寄生インダクタのリアクタンス成分をオフ容量のリアクタンス成分に比べて十分小さく、かつオフ抵抗を十分大きくすることができる。

ここで、FET12a及びFET12bのドレインは入力端子11a又は出力端子11bに接続してもよく、FET12a及びFET12bのソースは出力端子11b又は入力端子11aに接続してもよい。

次に動作について説明する。

第4図において、FET2a及びFET2bはゲートに印加する電圧によりオン状態とオフ状態を切り換えるスイッチとして動作する。

第5図は第4図におけるFET12a及びFET12bをオフ状態としたときの等価回路図である。第5図に示すように、FET12aをオフ状態としたときには、並列に接続されたオフ容量15a、オフ抵抗17aと、寄生インダクタ16aとが直列に接続された状態となり、FET12bをオフ状態としたときには、並列に接続されたオフ容量15b、オフ抵抗17bと、寄生インダクタ16bとが直列に接続された状態となる。

この単極单投スイッチの使用周波数fにおいて、寄生インダクタ16a、16bのリアクタンス成分がオフ容量15a、15bのリアクタンス成分に比べて十分小さく、かつオフ抵抗17a、17bが十分大きくなっており、 $f = 1/\sqrt{(\text{オフ容量 } 15\text{ aのキャパシタンス}) \times (\text{インダクタ } 13\text{ aのインダクタンス})} = 1/\sqrt{(\text{オフ容量 } 15\text{ bのキャパシタンス}) \times (\text{インダクタ } 13\text{ bのインダクタンス})}$ の関係である場合、すなわち、使用周波数fにおいて、オフ容量15aと並列共振するようなインダクタ13aを接続し、オフ容量15bと並列共振するようなインダクタ13bを接続することにより、入力端子11aから見た出力端子11bのインピーダンスは高くなる。このとき、入力端子11aから

入力された高周波信号は出力端子 11 b に出力されず、入力端子 11 a から出力端子 11 b への高周波信号のアイソレーションは低下しない。

第 6 図は第 4 図における FET 12 a 及び FET 12 b をオン状態としたときの等価回路図である。第 6 図に示すように、FET 12 a をオン状態としたときには、オン抵抗 18 a 及び寄生インダクタ 16 a が直列に接続された状態となり、FET 12 b をオン状態としたときには、オン抵抗 18 b 及び寄生インダクタ 16 b が直列に接続された状態となる。

この場合、第 1 の FET スイッチ 14 a, 14 b が並列に接続されていることにより、入力端子 11 a から見た出力端子 11 b のインピーダンスは低くなる。このとき、入力端子 11 a から入力された高周波信号は出力端子 11 b に出力され、入力端子 11 a から出力端子 11 b への高周波信号の伝播損失を小さくすることができる。

この実施の形態 1 では、高周波信号を入力端子 11 a から入力し出力端子 11 b への出力を制御しているが、高周波信号を出力端子 11 b から入力し入力端子 11 a へ出力する場合にも同様に制御可能である。

また、この実施の形態 1 では、2 個の第 1 の FET スイッチ 14 a, 14 b を並列に接続し、各 FET 12 a, 12 b のゲート幅を $1/2$ にしているが、2 個以上の複数個の第 1 の FET スイッチを並列に接続して、FET の数に応じてゲート幅を狭くしてもよい。

以上のように、この実施の形態 1 によれば、第 1 の FET スイッチ 14 a, 14 b を 2 個並列に接続することにより、同じ耐電力を得るための各ゲート幅を $1/2$ にすることができ、この单極单投スイッチの使用周波数 f において、FET 12 a, FET 12 b の寄生インダクタ 16 a, 16 b のリアクタンス成分をオフ容量 15 a, 15 b のリアクタンス成分に比べて十分小さく、かつオフ抵抗 17 a, 17 b を十分大きく

することができ、オフ容量 15a, 15b と並列共振するようなインダクタ 13a, 13b を接続することにより、高耐電圧で入力端子 11a から出力端子 11b への高周波信号のアイソレーションを低下させないと共に、入力端子 11a から出力端子 11b への高周波信号の伝播損失を小さくすることができるという効果が得られる。

実施の形態 2.

第 7 図はこの発明の実施の形態 2 による单極单投スイッチの構成を示す回路図である。第 7 図に示す单極单投スイッチは、実施の形態 1 の第 4 図に示す单極单投スイッチと同様に、入力端子 11a、出力端子 11b、FET 12a, FET 12b、インダクタ 13a、インダクタ 13b を備えて、FET 12a とインダクタ 13a の並列接続により第 1 の FET スイッチ 14a を構成し、FET 12b とインダクタ 13b の並列接続により第 1 の FET スイッチ 14b を構成しているが、入力端子 11a と出力端子 11b が直接に接続され、第 1 の FET スイッチ 14a 及び第 1 の FET スイッチ 14b の一方の端子は入力端子 11a と出力端子 11b に接続され、他方の端子はグランド 19 に接続されている点が異なっている。このように、この実施の形態 2 では、第 1 の FET スイッチ 14a と第 1 の FET スイッチ 14b を並列に接続している。

FET 12a, FET 12b を 2 個並列に接続することにより、同じ耐電力を得るための各ゲート幅を $1/2$ にすることができる、各ゲート幅を $1/2$ にすることにより、この单極单投スイッチの使用周波数 f において、FET 12a, FET 12b の寄生インダクタのリアクタンス成分をオフ容量のリアクタンス成分に比べて十分小さく、かつオフ抵抗を十分大きくすることができる。

ここで、FET 12a 及び FET 12b のドレインは入力端子 11a

又はグランド 1 9 に接続してもよく、FET 1 2 a 及び FET 1 2 b のソースはグランド 1 9 又は入力端子 1 1 a に接続してもよい。

次に動作について説明する。

第 7 図において、FET 2 a 及び FET 2 b はゲートに印加する電圧によりオン状態とオフ状態を切り換えるスイッチとして動作する。

第 8 図は第 7 図における FET 1 2 a 及び FET 1 2 b をオフ状態にしたときの等価回路図である。第 8 図に示すように、FET 1 2 a をオフ状態としたときには、並列に接続されたオフ容量 1 5 a、オフ抵抗 1 7 a と、寄生インダクタ 1 6 a とが直列に接続された状態となり、FET 1 2 b をオフ状態としたときには、並列に接続されたオフ容量 1 5 b、オフ抵抗 1 7 b と、寄生インダクタ 1 6 b とが直列に接続された状態となる。

この場合、この単極单投スイッチの使用周波数 f において、寄生インダクタ 1 6 a, 1 6 b のリアクタンス成分がオフ容量 1 5 a, 1 5 b のリアクタンス成分に比べて十分小さく、かつオフ抵抗 1 7 a, 1 7 b が十分大きくなっている、 $f = 1 / \sqrt{ } (オフ容量 1 5 a のキャパシタンス) \times (インダクタ 1 3 a のインダクタンス) = 1 / \sqrt{ } (オフ容量 1 5 b のキャパシタンス) \times (インダクタ 1 3 b のインダクタンス)$ の関係である場合、すなわち、使用周波数 f において、オフ容量 1 5 a と並列共振するようなインダクタ 1 3 a を接続し、オフ容量 1 5 b と並列共振するようなインダクタ 1 3 b を接続することにより、入力端子 1 1 a から見たグランド 1 9 のインピーダンスは高くなる。このとき、入力端子 1 1 a から入力された高周波信号は出力端子 1 1 b に出力され、高周波信号の伝播損失を小さくすることができる。

第 9 図は第 7 図における FET 1 2 a 及び FET 1 2 b をオン状態としたときの等価回路図である。第 9 図に示すように、FET 1 2 a をオ

ン状態としたときには、オン抵抗 18 a 及び寄生インダクタ 16 a が直列に接続された状態となり、FET 12 b をオン状態としたときには、オン抵抗 18 b 及び寄生インダクタ 16 b が直列に接続された状態となる。

この場合、第 1 の FET スイッチ 14 a, 14 b が並列に接続されていることにより、入力端子 11 a から見たグランド 19 のインピーダンスは低くなる。このとき、入力端子 11 a から入力された高周波信号はグランド 19 に伝搬し出力端子 11 b に出力されず、入力端子 11 a から出力端子 11 b への高周波信号のアイソレーションを低下させない。

この実施の形態 2 では、高周波信号を入力端子 11 a から入力し出力端子 11 b への出力を制御しているが、高周波信号を出力端子 11 b から入力し入力端子 11 a へ出力する場合も同様に制御可能である。

また、この実施の形態 2 では、2 個の第 1 の FET スイッチ 14 a, 14 b を並列に接続し、各 FET 12 a, 12 b のゲート幅を $1/2$ にしているが、2 個以上の複数個の第 1 の FET スイッチを並列に接続して、FET の数に応じてゲート幅を狭くしてもよい。

以上のように、この実施の形態 2 によれば、第 1 の FET スイッチ 14 a, 14 b を 2 個並列に接続することにより、同じ耐電力を得るための各ゲート幅を $1/2$ にすることができ、この単極单投スイッチの使用周波数 f において、FET 12 a, FET 12 b の寄生インダクタ 16 a, 16 b のリアクタンス成分をオフ容量 15 a, 15 b のリアクタンス成分に比べて十分小さく、かつオフ抵抗 17 a, 17 b を十分大きくすることができ、オフ容量 15 a, 15 b と並列共振するようなインダクタ 13 a, 13 b を接続することにより、高耐電圧で入力端子 11 a から出力端子 11 b への高周波信号の伝播損失を小さくすることができると共に、入力端子 11 a から出力端子 11 b への高周波信号のアイソ

レーションを低下させないという効果が得られる。

実施の形態 3.

第10図はこの発明の実施の形態3による单極单投スイッチの構成を示す回路図である。第10図に示す单極单投スイッチは、入力端子11a、出力端子11b、FET20、キャパシタ21、インダクタ22を備えており、直列に接続されたFET20、キャパシタ21と、インダクタ22とを並列に接続した第2のFETスイッチ14の一方の端子が入力端子11aに接続され、他方の端子が出力端子11bに接続されている。

ここで、FET20のドレインは入力端子11a又はキャパシタ21に接続してもよく、FET20のソースはキャパシタ21又は入力端子11aに接続してもよい。

次に動作について説明する。

第10図において、FET20はゲートに印加する電圧によりオン状態とオフ状態を切り換えるスイッチとして動作する。

第11図は第10図におけるFET20をオフ状態にしたときの等価回路図である。第11図に示すように、FET20をオフ状態としたときには、並列に接続されたオフ容量23、オフ抵抗24と、寄生インダクタ25とが直列に接続された状態となる。

ここで、この実施の形態3による单極单投スイッチの使用周波数f₂において、 $f_2 = 1 / 2\pi\sqrt{ } (寄生インダクタ25のインダクタンス) \times (キャパシタ21のキャパシタンス)$ の関係であるとし、すなわち、寄生インダクタ25と直列共振するようなキャパシタ21を接続し、オフ容量23とインダクタ22の並列共振を妨げている寄生インダクタ25を電気的に打ち消す。また、この单極单投スイッチの使用周波数f₂

において、 $f_2 = 1/\sqrt{ } (オフ容量23のキャパシタンス) \times (インダクタ22のインダクタンス)$ の関係である場合、すなわち、オフ容量23と並列共振するようなインダクタ22を接続することにより、入力端子11aから見た出力端子11bのインピーダンスは高くなる。このとき、入力端子11aから入力された高周波信号は出力端子11bに出力されず、入力端子11aから出力端子11bへの高周波信号のアイソレーションを低下させない。

第12図は第10図におけるFET20をオン状態としたときの等価回路図である。第12図に示すように、FET20をオン状態としたときには、オン抵抗26と寄生インダクタ25とが直列に接続された状態となる。

ここで、 $f_2 = 1/(2\pi\sqrt{ }) (寄生インダクタ25のインダクタンス) \times (キャパシタ21のキャパシタンス)$ の関係であるとし、すなわち、寄生インダクタ25と直列共振するようなキャパシタ21を接続することにより、入力端子11aから見た出力端子11bのインピーダンスは低くなる。このとき、入力端子11aから入力された高周波信号は出力端子11bに出力され、高周波信号の伝播損失を小さくすることができる。

なお、第11図に示すFET20がオフ状態の寄生インダクタ25のインダクタンスと、第12図に示すFET20がオン状態の寄生インダクタ25のインダクタンスの値は同じであり、FET20のオフ状態とオン状態で寄生インダクタ25と直列共振するようなキャパシタ21のキャパシタンスの値は同じである。

この実施の形態3では、高周波信号を入力端子11aから入力し出力端子11bへの出力を制御しているが、高周波信号を出力端子11bから入力し入力端子11aへ出力する場合も同様に制御可能である。

以上のように、この実施の形態3によれば、単極单投スイッチの使用周波数 f_2 において、FET20の寄生インダクタ25と直列共振するようなキャパシタ21を接続し、FET20のオフ容量23のキャパシタンスと並列共振するようなインダクタ22を接続することにより、この単極单投スイッチに高耐電力性を持たせるためにFET20のゲート幅を大きくした場合においても、入力端子11aから出力端子11bへの高周波信号のアイソレーションを低下させないと共に、入力端子11aから出力端子11bへの高周波信号の伝播損失を小さくすることができるという効果が得られる。

実施の形態4.

第13図はこの発明の実施の形態4による単極单投スイッチの構成を示す回路図である。第13図に示す単極单投スイッチは、実施の形態3の第10図に示す単極单投スイッチと同様に、入力端子11a、出力端子11b、FET20、キャパシタ21、インダクタ22を備えているが、入力端子11aと出力端子11bが直接に接続され、直列に接続されたFET20、キャパシタ21と、インダクタ22とを並列に接続した第2のFETスイッチ14の一方の端子が入力端子11aと出力端子11bに接続され、他方の端子がグランド19に接続されている点が異なっている。

ここで、FET20のドレインは入力端子11a又はキャパシタ21に接続してもよく、FET20のソースはキャパシタ21又は入力端子11aに接続してもよい。

次に動作について説明する。

第13図において、FET20はゲートに印加する電圧によりオン状態とオフ状態を切り換えるスイッチとして動作する。

第14図は第13図におけるFET20をオフ状態としたときの等価回路図である。第14図に示すように、FET20をオフ状態としたときには、並列に接続されたオフ容量23、オフ抵抗24と、寄生インダクタ25とが直列に接続された状態となる。

ここで、この実施の形態による単極单投スイッチの使用周波数 f_3 において、 $f_3 = 1 / 2\pi\sqrt{ } (寄生インダクタ25のインダクタンス) \times (キャパシタ21のキャパシタンス)$ の関係であるとし、すなわち、FET20の寄生インダクタ25と直列共振するようなキャパシタ21を接続し、オフ容量23とインダクタ22の並列共振を妨げている寄生インダクタ25を電気的に打ち消す。また、この単極单投スイッチの使用周波数 f_3 において、 $f_3 = 1 / \sqrt{ } (オフ容量23のキャパシタンス) \times (インダクタ22のインダクタンス)$ の関係である場合、すなわち、FET20のオフ容量23と並列共振するようなインダクタ22を接続することにより、入力端子11aから見たグランド19のインピーダンスは高くなる。このとき、入力端子11aから入力された高周波信号は出力端子11bに出力され、高周波信号の伝播損失を少なくすることができます。

第15図は第13図におけるFET20をオン状態としたときの等価回路図である。第15図に示すように、FET20をオン状態としたときには、オン抵抗26と寄生インダクタ25とが直列に接続された状態となる。

ここで、この実施の形態による単極单投スイッチの使用周波数 f_3 において、 $f_3 = 1 / 2\pi\sqrt{ } (寄生インダクタ25のインダクタンス) \times (キャパシタ21のキャパシタンス)$ の関係であるとし、すなわち、FET20の寄生インダクタ25と直列共振するようなキャパシタ21を接続することにより、入力端子11aから見たグランド19のインピー

ダンスは低くなる。このとき、入力端子 11a から入力された高周波信号はグランド 19 に伝播し出力端子 11b に出力されず、入力端子 11a から出力端子 11b への高周波信号のアイソレーションを低下させない。

なお、第 14 図に示す FET 20 がオフ状態の寄生インダクタ 25 のインダクタンスと、第 15 図に示す FET 20 がオン状態の寄生インダクタ 25 のインダクタンスの値は同じであり、FET 20 のオフ状態とオン状態で寄生インダクタ 25 と直列共振するようなキャパシタ 21 のキャパシタンスの値は同じである。

この実施の形態 4 では、高周波信号を入力端子 11a から入力し出力端子 11b への出力を制御しているが、高周波信号を出力端子 11b から入力し入力端子 11a へ出力する場合も同様に制御可能である。

以上のように、この実施の形態 4 によれば、单極单投スイッチの使用周波数 f_3 において、寄生インダクタ 25 と直列共振するようなキャパシタ 21 を接続し、オフ容量 23 と並列共振するようなインダクタ 22 を接続することにより、この单極单投スイッチに高耐電力性を持たせるために FET 20 のゲート幅を大きくした場合においても、入力端子 11a から出力端子 11b への高周波信号の伝播損失を小さくすることができると共に、入力端子 11a から出力端子 11b への高周波信号のアイソレーションを低下させないという効果が得られる。

実施の形態 5.

第 16 図はこの発明の実施の形態 5 による单極单投スイッチの構成を示す回路図である。第 16 図に示す单極单投スイッチは、実施の形態 3 の第 10 図に示す第 2 の FET スイッチ 14 を 2 個並列に使用したものであり、入力端子 11a、出力端子 11b、FET 12a、FET 12b

b、インダクタ 13a、インダクタ 13b、キャパシタ 27a、キャパシタ 27bを備えている。直列に接続されたFET 12a、キャパシタ 27aと、インダクタ 13aとを並列に接続した第2のFETスイッチ 14aと、直列に接続されたFET 12b、キャパシタ 27bと、インダクタ 13bとを並列に接続した第2のFETスイッチ 14bの一方の端子は入力端子 11aに接続され、他方の端子は出力端子 11bに接続されている。

次に動作について説明する。

第16図において、FET 12a及びFET 12bは、ゲートに印加する電圧によりオン状態とオフ状態を切り換えるスイッチとして動作する。

第17図は第16図におけるFET 12a及びFET 12bをオフ状態としたときの等価回路図である。第17図に示すように、FET 12aをオフ状態としたときには、並列に接続されたオフ容量 15a、オフ抵抗 17aと、寄生インダクタ 16aとが直列に接続された状態となり、FET 12bをオフ状態としたときには、並列に接続されたオフ容量 15b、オフ抵抗 17bと、寄生インダクタ 16bとが直列に接続された状態となる。

ここで、この実施の形態による単極单投スイッチの使用周波数 f_4 において、 $f_4 = 1 / 2 \pi \sqrt{ } (寄生インダクタ 16a のインダクタンス) \times (キャパシタ 27a のキャパシタンス) = 1 / 2 \pi \sqrt{ } (寄生インダクタ 16b のインダクタンス) \times (キャパシタ 27b のキャパシタンス)$ の関係であるとし、すなわち、寄生インダクタ 16aと直列共振するようなキャパシタ 27aを接続し、オフ容量 15aとインダクタ 13aの並列共振を妨げている寄生インダクタ 16aを電気的に打ち消し、寄生インダクタ 16bと直列共振するようなキャパシタ 27bを接続し、オ

フ容量 15 b とインダクタ 13 b の並列共振を妨げている寄生インダクタ 16 b を電気的に打ち消す。また、この単極单投スイッチの使用周波数 f_4 において、 $f_4 = 1/\sqrt{\dots}$ （オフ容量 15 a のキャパシタンス）×（インダクタ 13 a のインダクタンス）= $1/\sqrt{\dots}$ （オフ容量 15 b のキャパシタンス）×（インダクタ 13 b のインダクタンス）の関係である場合、すなわち、オフ容量 15 a と並列共振するようなインダクタ 13 a を接続し、オフ容量 15 b と並列共振するようなインダクタ 13 b を接続すると、入力端子 11 a から見た出力端子 11 b のインピーダンスは高くなる。このとき、入力端子 11 a から入力された高周波信号は出力端子 11 b に出力されず、入力端子 11 a から出力端子 11 b への高周波信号のアイソレーションは低下しない。

第 18 図は第 16 図における FET 12 a 及び FET 12 b をオン状態としたときの等価回路図である。第 18 図に示すように、FET 12 a をオン状態としたときには、オン抵抗 18 a 及び寄生インダクタ 16 a が直列に接続された状態となり、FET 12 b をオン状態としたときには、オン抵抗 18 b 及び寄生インダクタ 16 b が直列に接続された状態となる。

ここで、単極单投スイッチの使用周波数 f_4 において、 $f_4 = 1/(2\pi\sqrt{\dots})$ （寄生インダクタ 16 a のインダクタンス）×（キャパシタ 27 a のキャパシタンス）= $1/(2\pi\sqrt{\dots})$ （寄生インダクタ 16 b のインダクタンス）×（キャパシタ 27 b のキャパシタンス）の関係であるとし、すなわち、寄生インダクタ 16 a と直列共振するようなキャパシタ 27 a を接続し、寄生インダクタ 16 b と直列共振するようなキャパシタ 27 b を接続すると、入力端子 11 a から見た出力端子 11 b のインピーダンスは低くなる。このとき、入力端子 11 a から入力された高周波信号は出力端子 11 b に出力され、高周波信号の伝播損失を少なくすること

ができる。

なお、第17図に示すFET12a, 12bがオフ状態の寄生インダクタ16a, 16bのインダクタンスと、第18図に示すFET12a, 12bがオン状態の寄生インダクタ16a, 16bのインダクタンスの値はそれぞれ同じであり、FET12a, 12bのオフ状態とオン状態で寄生インダクタ16a, 16bと直列共振するようなキャパシタ27a, 27bのキャパシタンスの値はそれぞれ同じである。

この実施の形態5では、高周波信号を入力端子11aから入力し出力端子11bへの出力を制御しているが、高周波信号を出力端子11bから入力し入力端子11aへの出力も同様に制御可能である。

また、この実施の形態5では、2個の第2のFETスイッチ14a, 14bを並列に接続しているが、2個以上の複数個の第2のFETスイッチを並列に接続してもよい。

以上のように、この実施の形態5によれば、単極单投スイッチの使用周波数f4において、寄生インダクタ16aと直列共振するようなキャパシタ27aを接続し、寄生インダクタ16bと直列共振するようなキャパシタ27bを接続し、オフ容量15aと並列共振するようなインダクタ13aを接続し、オフ容量15bと並列共振するようなインダクタ13bを接続することにより、この単極单投スイッチに高耐電力性を持たせるためにFET12a, 12bのゲート幅を大きくした場合においても、入力端子11aから出力端子11bへの高周波信号のアイソレーションを低下させず、入力端子11aから出力端子11bへの高周波信号の伝播損失を小さくすることができるという効果が得られる。

実施の形態6.

第19図はこの発明の実施の形態6による単極单投スイッチの構成を

示す回路図である。第19図に示す单極单投スイッチは、実施の形態4の第13図に示す第2のFETスイッチ14を2個並列に使用したものであり、入力端子11a、出力端子11b、FET12a、FET12b、インダクタ13a、インダクタ13b、キャパシタ27a、キャパシタ27b、グランド19を備えている。直列に接続されたFET12a、キャパシタ27aと、インダクタ13aとを並列に接続した第2のFETスイッチ14aと、直列に接続されたFET12b、キャパシタ27bと、インダクタ13bとを並列に接続した第2のFETスイッチ14bの一方の端子は入力端子11aと出力端子11bに接続され、他方の端子はグランド19に接続されている。

次に動作について説明する。

第19図において、FET12a及びFET12bは、ゲートに印加する電圧によりオン状態とオフ状態を切り換えるスイッチとして動作する。

第20図は第19図におけるFET12a及びFET13bをオフ状態としたときの等価回路図である。第20図に示すように、FET12aをオフ状態としたときには、並列に接続されたオフ容量15a、オフ抵抗17aと、寄生インダクタ16aとが直列に接続された状態となり、FET12bをオフ状態としたときには、並列に接続されたオフ容量15b、オフ抵抗17bと、寄生インダクタ16bとが直列に接続された状態となる。

ここで、この実施の形態による单極单投スイッチの使用周波数f4において、 $f_4 = 1 / 2\pi\sqrt{\text{(寄生インダクタ16aのインダクタンス)} \times \text{(キャパシタ27aのキャパシタンス)}} = 1 / 2\pi\sqrt{\text{(寄生インダクタ16bのインダクタンス)} \times \text{(キャパシタ27bのキャパシタンス)}}$ の関係であるとし、すなわち、寄生インダクタ16aと直列共振するよ

うなキャパシタ 27a を接続し、オフ容量 15a とインダクタ 13a の並列共振を妨げている寄生インダクタ 16a を電気的に打ち消し、寄生インダクタ 16b と直列共振するようなキャパシタ 27b を接続し、オフ容量 15b とインダクタ 13b の並列共振を妨げている寄生インダクタ 16b を電気的に打ち消す。また、この単極单投スイッチの使用周波数 f_4 において、 $f_4 = 1/\sqrt{\dots}$ (オフ容量 15a のキャパシタンス) × (インダクタ 13a のインダクタンス) = $1/\sqrt{\dots}$ (オフ容量 15b のキャパシタンス) × (インダクタ 13b のインダクタンス) の関係である場合、すなわち、オフ容量 15a と並列共振するようなインダクタ 13a を接続し、オフ容量 15b と並列共振するようなインダクタ 13b を接続すると、入力端子 11a から見たグランド 19 のインピーダンスは高くなる。このとき、入力端子 11a から入力された高周波信号は出力端子 11b に出力され、高周波信号の伝播損失を少なくすることができます。

第 21 図は第 19 図における FET 12a 及び FET 12b をオン状態としたときの等価回路図である。第 21 図に示すように、FET 12a をオン状態としたときには、オン抵抗 18a 及び寄生インダクタ 16a が直列に接続された状態となり、FET 12b をオン状態としたときには、オン抵抗 18b 及び寄生インダクタ 16b が直列に接続された状態となる。

ここで、単極单投スイッチの使用周波数 f_4 において、 $f_4 = 1/(2\pi\sqrt{\dots})$ (寄生インダクタ 16a のインダクタンス) × (キャパシタ 27a のキャパシタンス) = $1/(2\pi\sqrt{\dots})$ (寄生インダクタ 16b のインダクタンス) × (キャパシタ 27b のキャパシタンス) の関係であるとし、すなわち、寄生インダクタ 16a と直列共振するようなキャパシタ 27a を接続し、寄生インダクタ 16b と直列共振するようなキャパシタ 27b

bを接続すると、入力端子11aから見たグランド19のインピーダンスは低くなる。このとき、入力端子11aから入力された高周波信号はグランド19に伝播し出力端子11bには出力されず、入力端子11aから出力端子11bへの高周波信号のアイソレーションは低下しない。

なお、第20図に示すFET12a, 12bがオフ状態の寄生インダクタ16a, 16bのインダクタンスと、第21図に示すFET12a, 12bがオン状態の寄生インダクタ16a, 16bのインダクタンスの値はそれぞれ同じであり、FET12a, 12bのオフ状態とオン状態で寄生インダクタ16a, 16bと直列共振するようなキャパシタ27a, 27bのキャパシタンスの値はそれぞれ同じである。

この実施の形態6では、高周波信号を入力端子11aから入力し出力端子11bへの出力を制御しているが、高周波信号を出力端子11bから入力し入力端子11aへ出力する場合も同様に制御可能である。

また、この実施の形態6では、2個の第2のFETスイッチ14a, 14bを並列に接続しているが、2個以上の複数個の第2のFETスイッチを並列に接続してもよい。

以上のように、この実施の形態6によれば、単極单投スイッチの使用周波数f4において、寄生インダクタ16aと直列共振するようなキャパシタ27aを接続し、寄生インダクタ16bと直列共振するようなキャパシタ27bを接続し、オフ容量15aと並列共振するようなインダクタ13aを接続し、オフ容量15bと並列共振するようなインダクタ13bを接続することにより、この単極单投スイッチに高耐電力性を持たせるためにFET12a, 12bのゲート幅を大きくした場合においても、入力端子11aから出力端子11bへの高周波信号の伝播損失を小さくすることができ、入力端子11aから出力端子11bへの高周波信号のアイソレーションを低下させないという効果が得られる。

実施の形態 7.

第 22 図はこの発明の実施の形態 7 による单極双投スイッチの構成を示す回路図である。第 22 図に示す单極双投スイッチは、入力端子 28 a、出力端子 28 b、出力端子 28 c、FET 29 a、FET 29 b、FET 29 c、インダクタ 30 a、インダクタ 30 b、インダクタ 30 c、キャパシタ 32、線路 33 及びグランド 19 を備えている。FET 29 a とインダクタ 30 a を並列に接続した第 1 の FET スイッチ 31 a と、FET 29 b とインダクタ 30 b を並列に接続した第 1 の FET スイッチ 31 b の一方の端子は入力端子 28 a に接続され、他方の端子は出力端子 28 c に接続されている。線路 33 の一方の端子は入力端子 28 a に接続され、他方の端子は出力端子 28 b に接続されている。直列に接続された FET 29 c、キャパシタ 32 と、インダクタ 30 c を並列に接続した第 2 の FET スイッチ 31 c の一方の端子は出力端子 28 b に接続され、他方の端子はグランド 19 に接続されている。ここで、線路 33 の線路長は使用周波数 f_5 において $1/4$ 波長であるとする。

この実施の形態 7 では、実施の形態 1 の第 4 図に示す第 1 の FET スイッチ 14 a, 14 b を第 1 の FET スイッチ 31 a, 31 b として使用し、実施の形態 4 の第 13 図に示す第 2 の FET スイッチ 14 を第 2 の FET スイッチ 31 c として使用している。

次に動作について説明する。

第 22 図において、FET 29 a、FET 29 b 及び FET 29 c はゲートに印加する電圧によりオン状態とオフ状態を切り換えるスイッチとして動作する。

第 23 図は第 22 図における FET 29 a、FET 29 b 及び FET

FET 29cをオフ状態としたときの等価回路図である。第23図に示すように、FET 29aをオフ状態としたときには、並列に接続されたオフ容量34a、オフ抵抗35aと、寄生インダクタ36aとが直列に接続された状態となり、FET 29bをオフ状態としたときには、並列に接続されたオフ容量34b、オフ抵抗35bと、寄生インダクタ36bとが直列に接続された状態となり、FET 29cをオフ状態としたときには、並列に接続されたオフ容量34c、オフ抵抗35cと、寄生インダクタ36cとが直列に接続された状態となる。

ここで、この実施の形態による単極双投スイッチの使用周波数f₅において、 $f_5 = 1 / 2\pi\sqrt{\dots}$ （寄生インダクタ36cのインダクタンス） \times （キャパシタ32のキャパシタンス）の関係で、 $f_5 = 1 / 2\pi\sqrt{\dots}$ （オフ容量34cのキャパシタンス） \times （インダクタ30cのインダクタンス）の関係であるとする。

また、FET 29a、FET 29bを2個並列に接続することにより、同じ耐電力を得るための各ゲート幅を1/2にすることができ、各ゲート幅を1/2にすることにより、この単極双投スイッチの使用周波数f₅において、FET 29a、FET 29bの寄生インダクタ36a、36bのリアクタンス成分をオフ容量34a、34bのリアクタンス成分に比べて十分小さく、かつオフ抵抗35a、35bを十分大きくすることができる。

また、この単極双投スイッチの使用周波数f₅において、 $f_5 = 1 / \sqrt{\dots}$ （オフ容量34aのキャパシタンス） \times （インダクタ30aのインダクタンス） $= 1 / \sqrt{\dots}$ （オフ容量34bのキャパシタンス） \times （インダクタ30bのインダクタンス） $= 1 / \sqrt{\dots}$ （オフ容量34cのキャパシタンス） \times （インダクタ30cのインダクタンス）の関係である場合、入力端子28aから見た出力端子28bのインピーダンスは低くなり、入力

端子 28a から見た出力端子 28c のインピーダンスは高くなる。このとき、入力端子 28a から入力された高周波信号は出力端子 28b に出力され、高周波信号の伝播損失を少なくすることができ、入力端子 28a から入力された高周波信号は出力端子 28c に出力されず、入力端子 28a から出力端子 28c への高周波信号のアイソレーションは低下しない。

第 24 図は第 22 図における FET 29a、FET 29b 及び FET 29c をオン状態としたときの等価回路図である。第 24 図に示すように、FET 29a をオン状態としたときにはオン抵抗 37a 及び寄生インダクタ 36a が直列に接続された状態となり、FET 29b をオン状態としたときにはオン抵抗 37b 及び寄生インダクタ 36b が直列に接続された状態となり、FET 29c をオン状態としたときにはオン抵抗 37c 及び寄生インダクタ 36c が直列に接続された状態となる。

ここで、单極双投スイッチの使用周波数 f_5 において、 $f_5 = 1/\sqrt{\pi} \times (\text{寄生インダクタ } 36c \text{ のインダクタンス}) \times (\text{キャパシタ } 32 \text{ のキャパシタンス})$ の関係であるとし、線路 33 の線路長は使用周波数 f_5 において $1/4$ 波長であるので、この場合、入力端子 28a から見た出力端子 28b のインピーダンスは高くなり、第 1 の FET スイッチ 31a、31b が並列に接続されているので、入力端子 28a から見た出力端子 28c のインピーダンスは低くなる。このとき、入力端子 28a から入力された高周波信号は出力端子 28c に出力され、高周波信号の伝播損失を少なくすることができると共に、入力端子 28a から入力された高周波信号は出力端子 28b に出力されず、入力端子 28a から出力端子 28b への高周波信号のアイソレーションは低下しない。

この実施の形態 7 における单極双投スイッチでは、第 1 の FET スイッチ 31a、31b、第 2 の FET スイッチ 31c を使用しているが、

実施の形態 1, 2 に示す第 1 の F E T スイッチにより单極双投スイッチを構成してもよく、実施の形態 3, 4, 5, 6 に示す第 2 の F E T スイッチにより单極双投スイッチを構成してもよく、実施の形態 1 ~ 6 に示す第 1 の F E T スイッチ及び第 2 の F E T スイッチを適宜組合わせて单極双投スイッチを構成してもよい。

以上のように、この実施の形態 7 によれば、実施の形態 1 から実施の形態 6 で示す单極单投スイッチを組み合わせることにより、单極双投スイッチを構成することができ、入力端子 28 a から出力端子 28 b, 28 c への高周波信号の伝播損失を小さくすることができると共に、入力端子 28 a から出力端子 28 b, 28 c への高周波信号のアイソレーションを低下させないという効果が得られる。

実施の形態 8.

第 25 図はこの発明の実施の形態 8 による多極多投スイッチの構成を示す回路図である。上記実施の形態 7 の第 22 図においては、单極双投スイッチに限って説明したが、上記実施の形態 1 から実施の形態 6 で示す单極单投スイッチを組み合わせることによって、例えば、第 25 図に示すような多極多投スイッチを構成することもできる。

第 25 図に示す多極多投スイッチは、入力端子又は出力端子 38 a, 38 b, 38 c, 38 d、F E T 39 a, 39 b, 39 c, 39 d、キャパシタ 40 a, 40 b, 40 c, 40 d、インダクタ 41 a, 41 b, 41 c, 41 d を備えている。F E T 39 a とキャパシタ 40 a とインダクタ 41 a により第 2 の F E T スイッチ 42 a を構成し、F E T 39 b とキャパシタ 40 b とインダクタ 41 b により第 2 の F E T スイッチ 42 b を構成し、F E T 39 c とキャパシタ 40 c とインダクタ 41 c により第 2 の F E T スイッチ 42 c を構成し、F E T 39 d とキャパ

シタ 40 d とインダクタ 41 d により第 2 の FET スイッチ 42 d を構成している。

第 2 の FET スイッチ 42 a, 42 b, 42 c, 42 d の一方の端子は入力端子又は出力端子 38 a, 38 b, 38 c, 38 d にそれぞれ接続され、他方の端子同士は全て接続されている。

次に動作について説明する。

第 26 図は第 25 図の多極多投スイッチの動作を説明する図であり、各 FET 39 a, 39 b, 39 c, 39 d のオン、オフを制御することにより、所定の入力端子から入力された高周波信号は所定の出力端子に出力される。

この実施の形態 8 における多極多投スイッチでは、第 2 の FET スイッチ 42 a, 42 b, 42 c, 42 d を使用しているが、実施の形態 1, 2 に示す第 1 の FET スイッチにより多極多投スイッチを構成してもよく、実施の形態 3, 4, 5, 6 に示す第 2 の FET スイッチにより多極多投スイッチを構成してもよく、実施の形態 1 ~ 6 に示す第 1 の FET スイッチ及び第 2 の FET スイッチを適宜組合わせて多極多投スイッチを構成してもよい。

以上のように、この実施の形態 8 によれば、実施の形態 1 から実施の形態 6 で示す単極单投スイッチを組み合わせることにより、多極多投スイッチを構成することができ、各入力端子から各出力端子への高周波信号の伝播損失を小さくすることができると共に、各入力端子から各出力端子への高周波信号のアイソレーションを低下させないという効果が得られる。

産業上の利用可能性

以上のように、この発明に係る単極单投スイッチ、単極双投スイッチ

及び多極多投スイッチは、高周波信号の伝播損失を小さくし、高周波信号のアイソレーションを低下させないものに適している。

請 求 の 範 囲

1. 入力端子と出力端子間の高周波信号の伝播を制御する单極单投スイッチにおいて、

電界効果トランジスタのドレイン及びソースにインダクタを並列に接続した第1の電界効果トランジスタスイッチを複数個並列に接続し、上記各電界効果トランジスタのゲートに印加する電圧により上記各電界効果トランジスタのオン状態とオフ状態を切り換え、上記高周波信号の周波数において、上記各電界効果トランジスタのオフ容量とそれ接続されている上記各インダクタが並列共振するように構成することを特徴とする单極单投スイッチ。

2. 入力端子と出力端子間に第1の電界効果トランジスタスイッチを複数個並列に接続することを特徴とする請求の範囲第1項記載の单極单投スイッチ。

3. 入力端子と出力端子を接続し、

上記入力端子とグランド間に第1の電界効果トランジスタスイッチを複数個並列に接続することを特徴とする請求の範囲第1項記載の单極单投スイッチ。

4. 入力端子と出力端子間の高周波信号の伝播を制御する单極单投スイッチにおいて、

電界効果トランジスタのドレイン又はソースにキャパシタを直列に接続した直列回路にインダクタを並列に接続することにより第2の電界効果トランジスタスイッチを構成し、上記電界効果トランジスタのゲート

に印加する電圧により上記電界効果トランジスタのオン状態とオフ状態を切り換え、上記高周波信号の周波数において、上記電界効果トランジスタの寄生インダクタと上記キャパシタが直列共振し、上記電界効果トランジスタのオフ容量と上記インダクタが並列共振するように構成することを特徴とする単極单投スイッチ。

5. 入力端子と出力端子間に第2の電界効果トランジスタスイッチを接続することを特徴とする請求の範囲第4項記載の単極单投スイッチ。

6. 入力端子と出力端子間に第2の電界効果トランジスタスイッチを複数個並列に接続することを特徴とする請求の範囲第5項記載の単極单投スイッチ。

7. 入力端子と出力端子を接続し、
入力端子とグランド間に第2の電界効果トランジスタスイッチを接続することを特徴とする請求の範囲第4項記載の単極单投スイッチ。

8. 入力端子とグランド間に第2の電界効果トランジスタスイッチを複数個並列に接続することを特徴とする請求の範囲第7項記載の単極单投スイッチ。

9. 入力端子と2個の出力端子間の高周波信号の伝播を制御する単極双投スイッチにおいて、
請求の範囲第1項記載の第1の電界効果トランジスタスイッチを複数個並列に使用することを特徴とする単極双投スイッチ。

10. 入力端子と2個の出力端子間の高周波信号の伝播を制御する単極双投スイッチにおいて、

請求の範囲第4項記載の第2の電界効果トランジスタスイッチを使用することを特徴とする単極双投スイッチ。

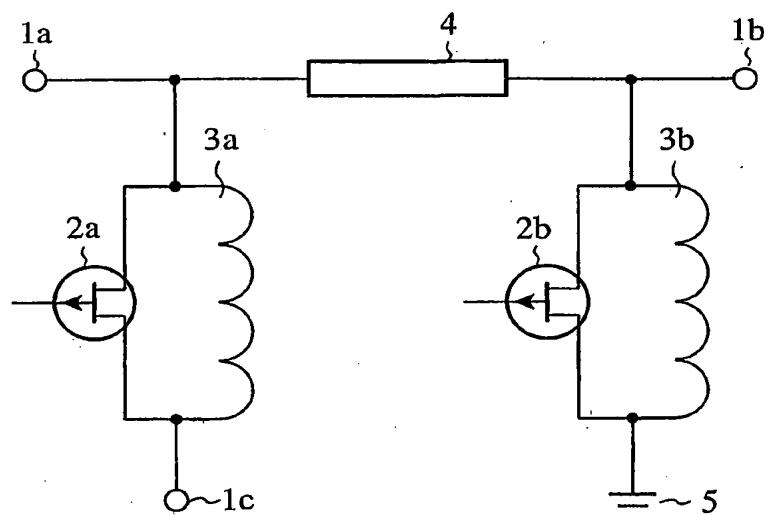
11. 複数の入力端子と複数の出力端子間の高周波信号の伝播を制御する多極多投スイッチにおいて、

請求の範囲第1項記載の第1の電界効果トランジスタスイッチを複数個並列に使用することを特徴とする多極多投スイッチ。

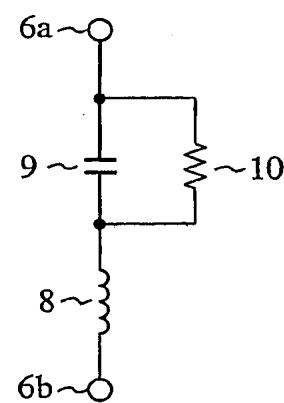
12. 複数の入力端子と複数の出力端子間の高周波信号の伝播を制御する多極多投スイッチにおいて、

請求の範囲第4項記載の第2の電界効果トランジスタスイッチを使用することを特徴とする多極多投スイッチ。

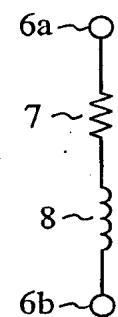
第1図



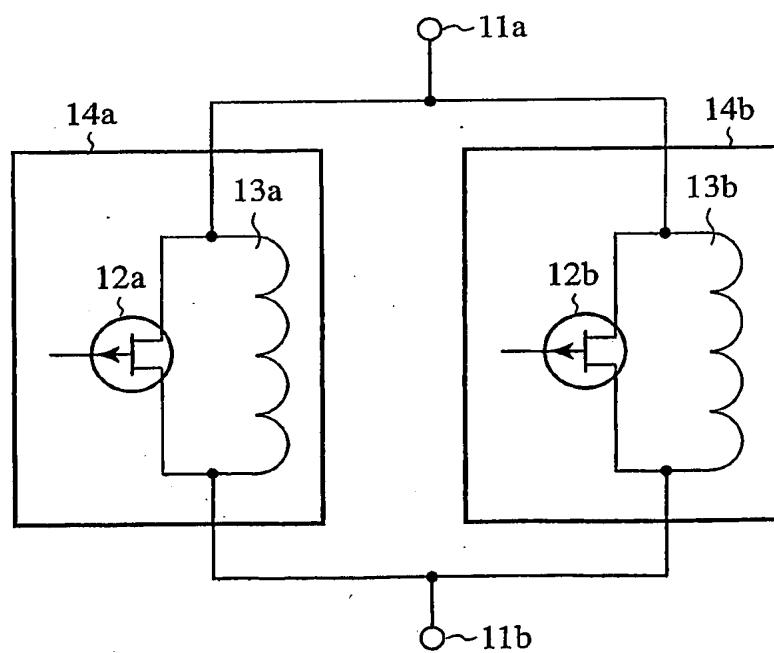
第2図



第3図

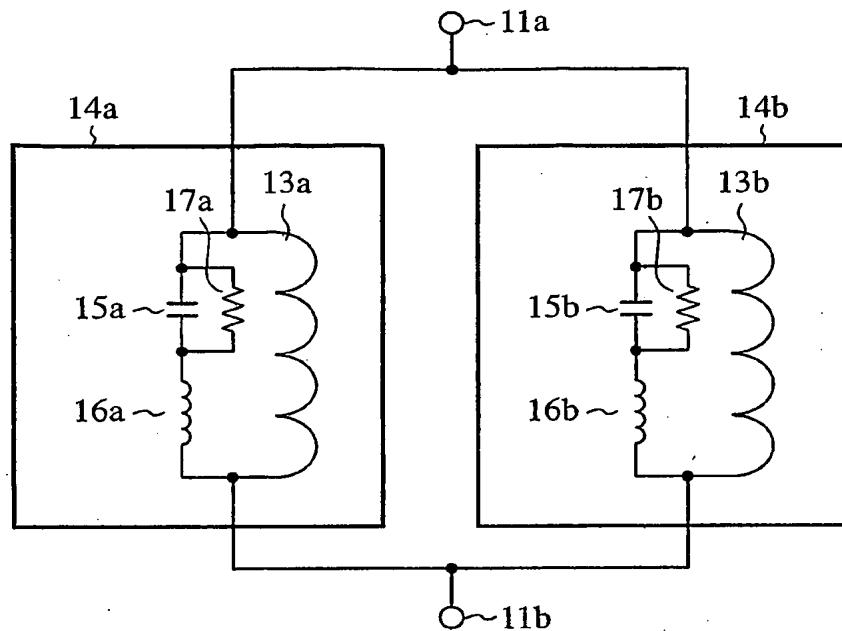


第4図

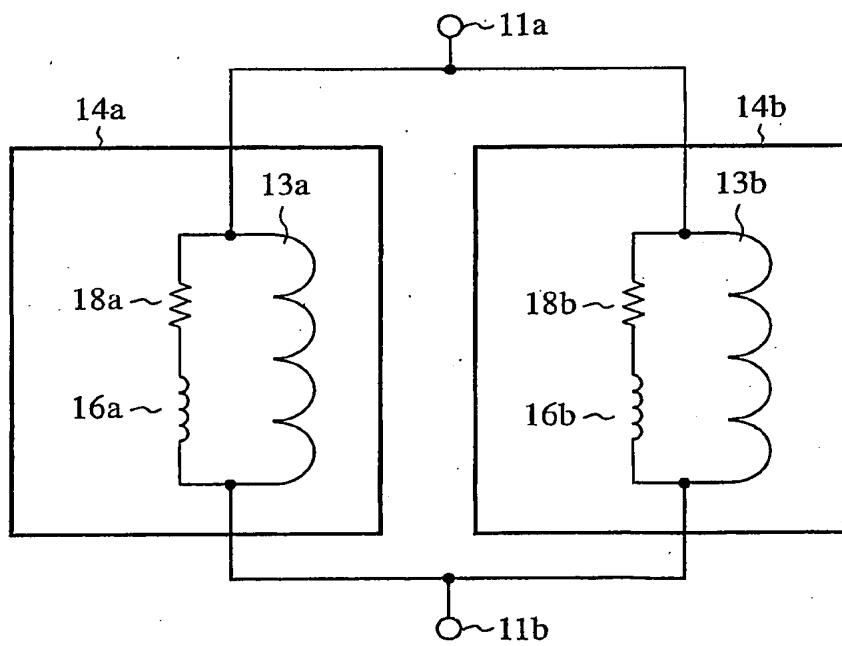


3/16

第5図

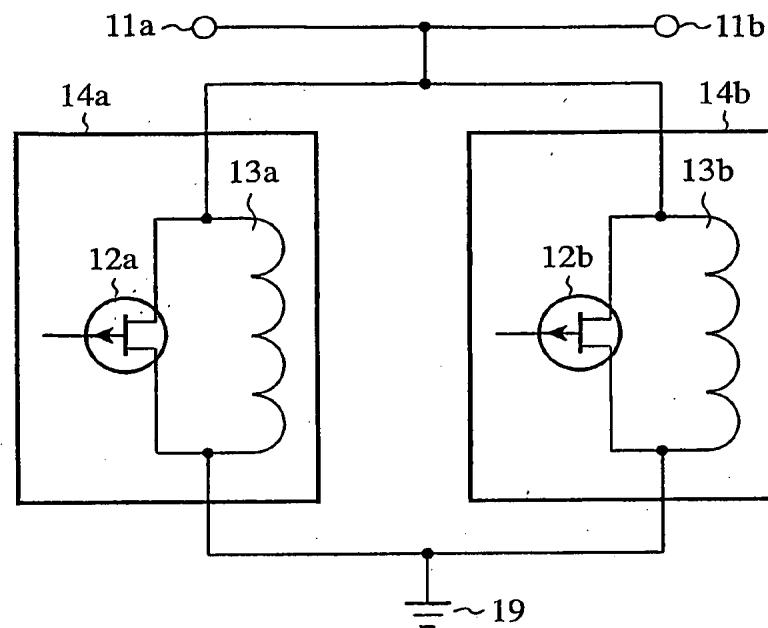


第6図

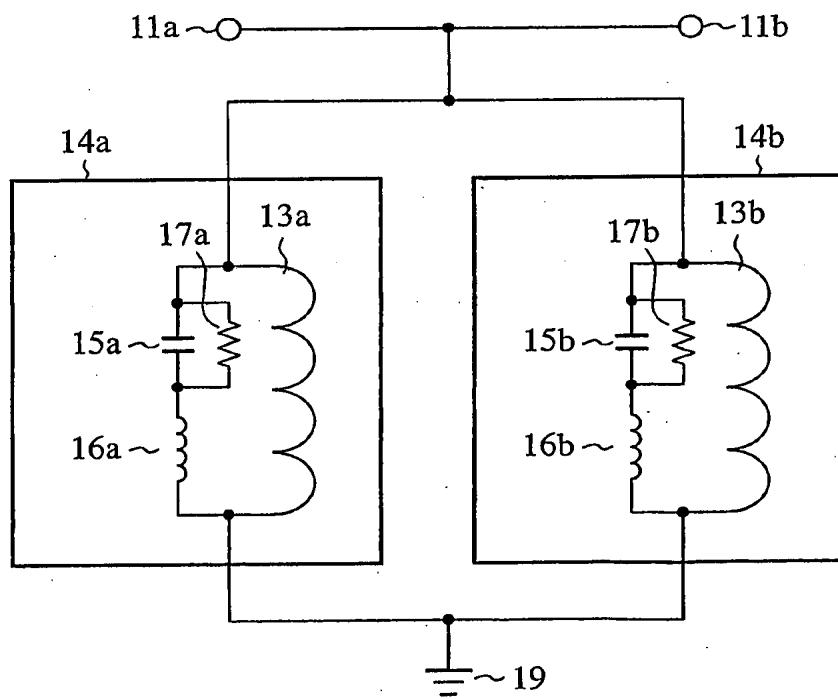


4/16

第7図

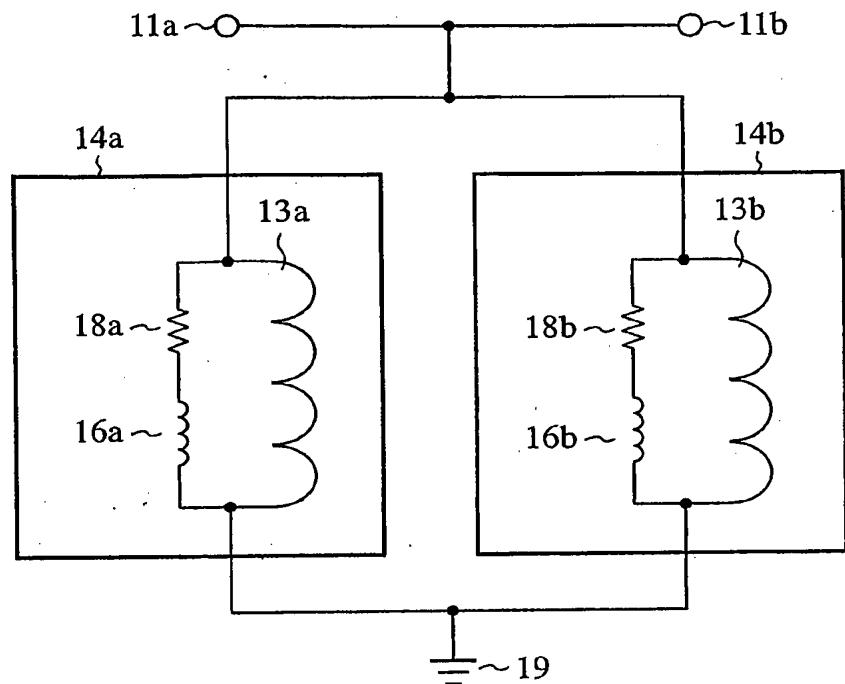


第8図

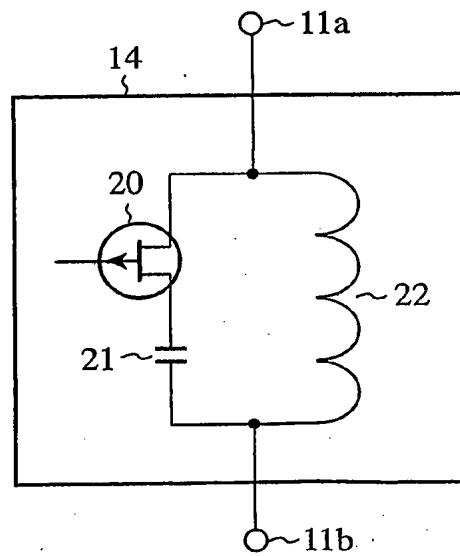


5/16

第9図

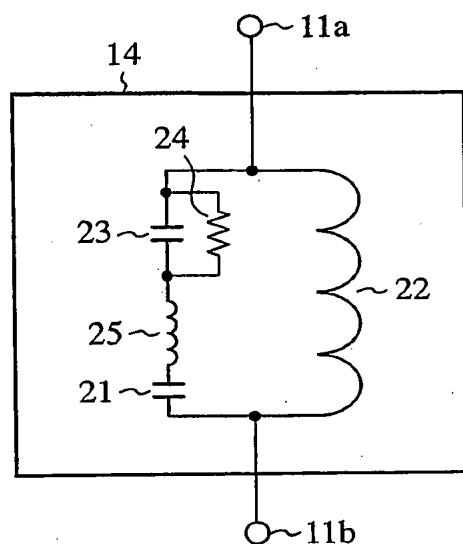


第10図

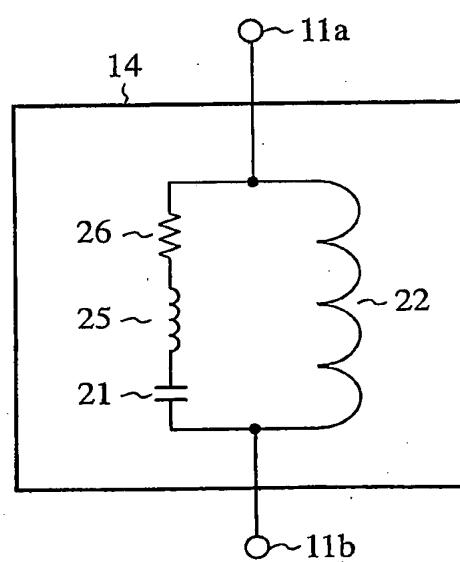


6/16

第11図

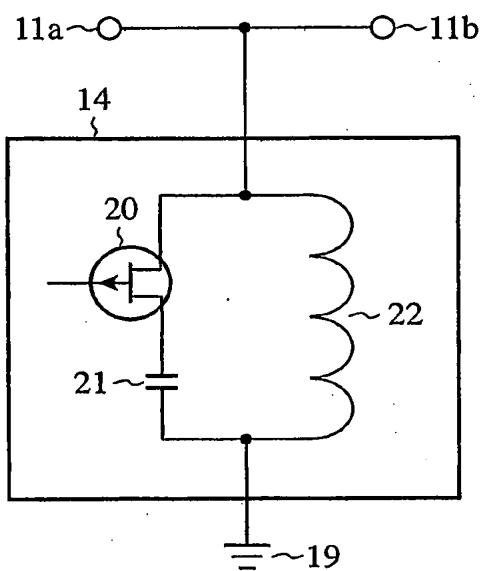


第12図

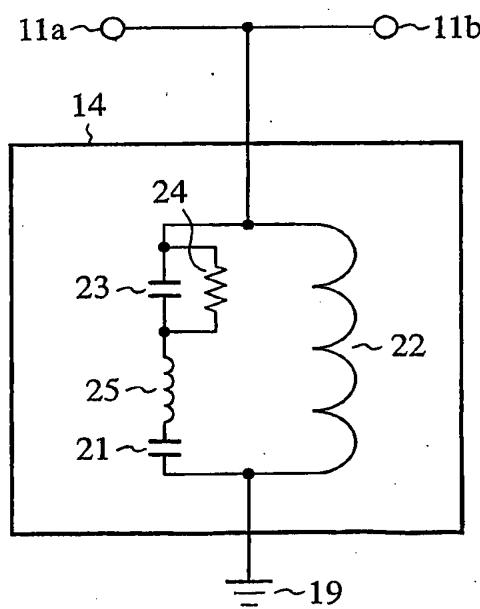


7/16

第13図

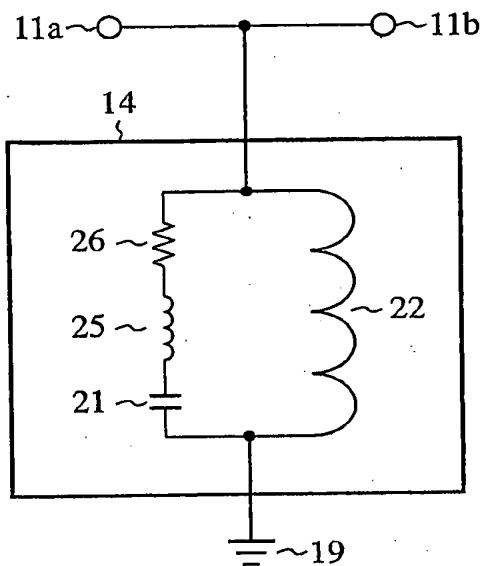


第14図

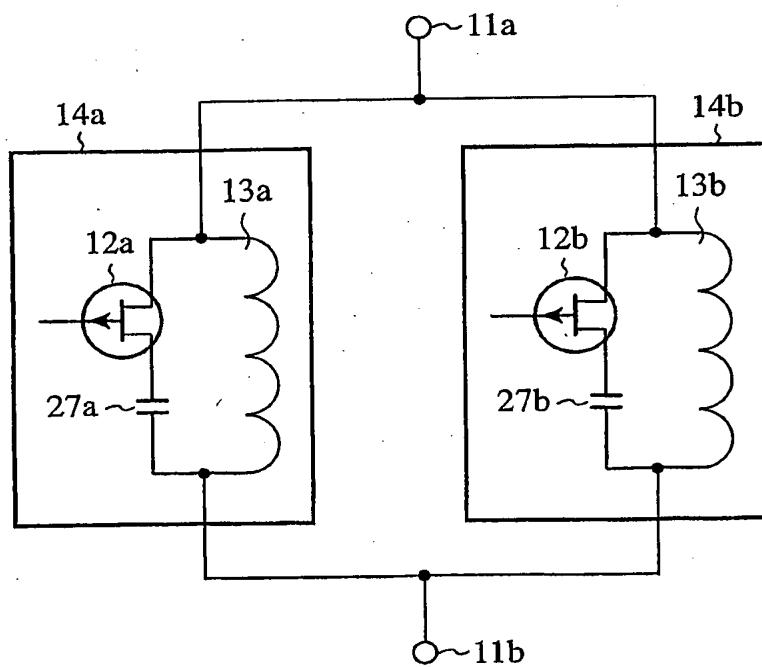


8/16

第15図

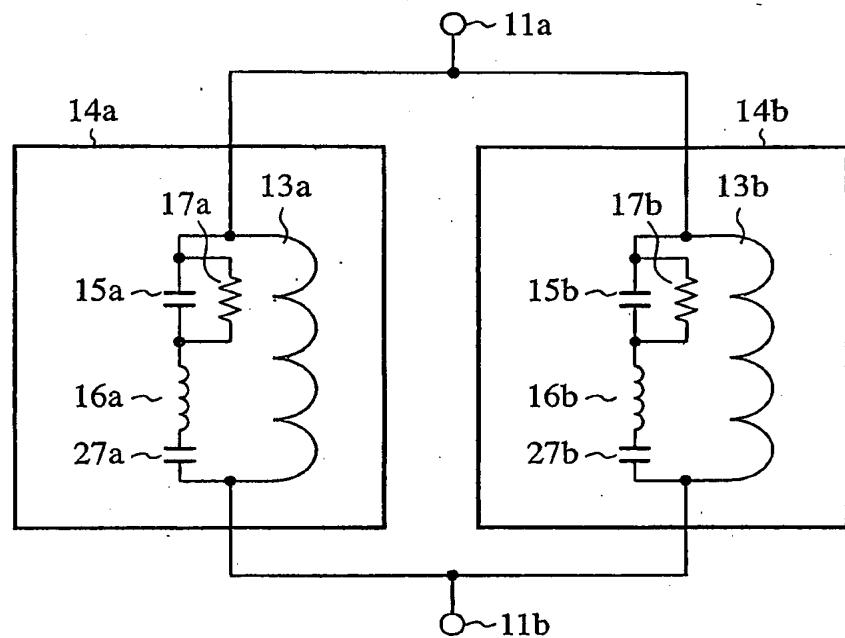


第16図

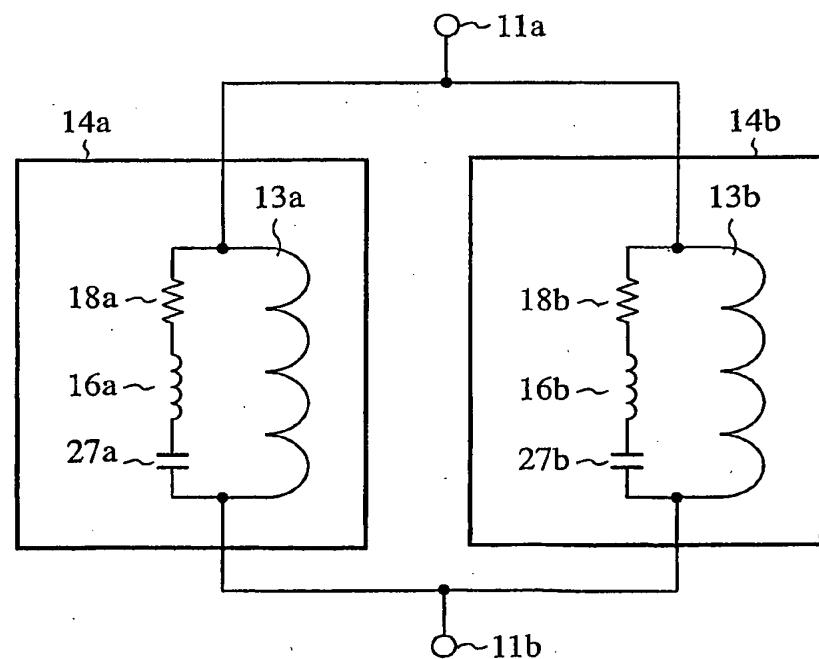


9/16

第17図

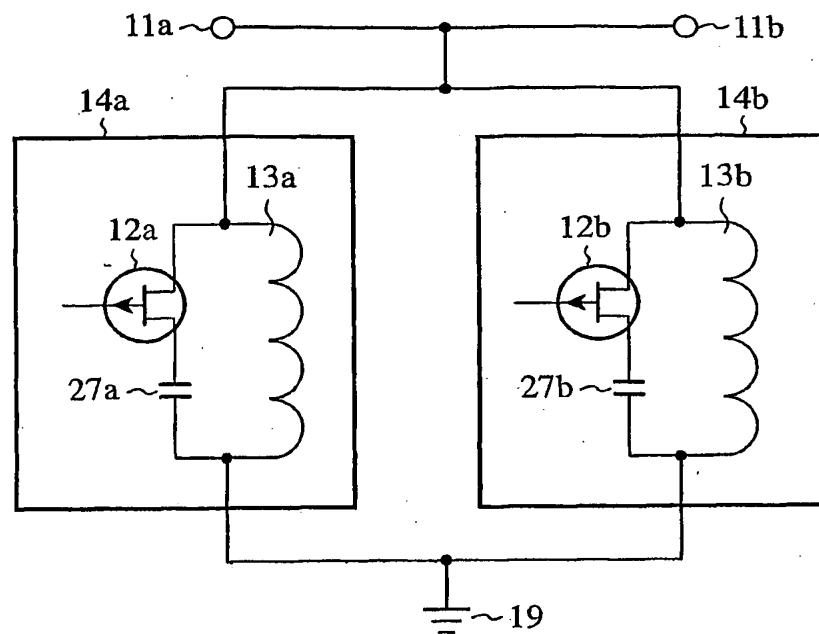


第18図

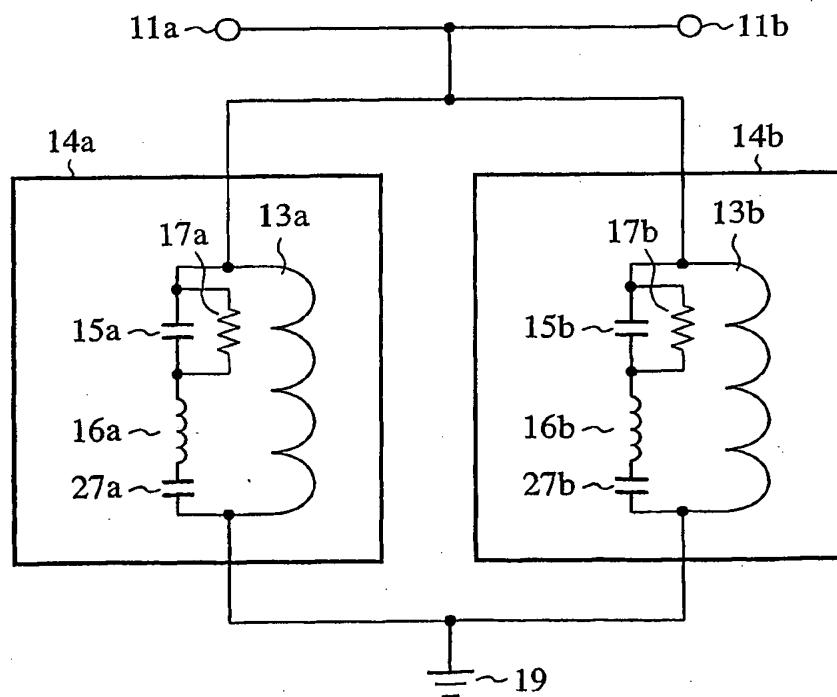


10/16

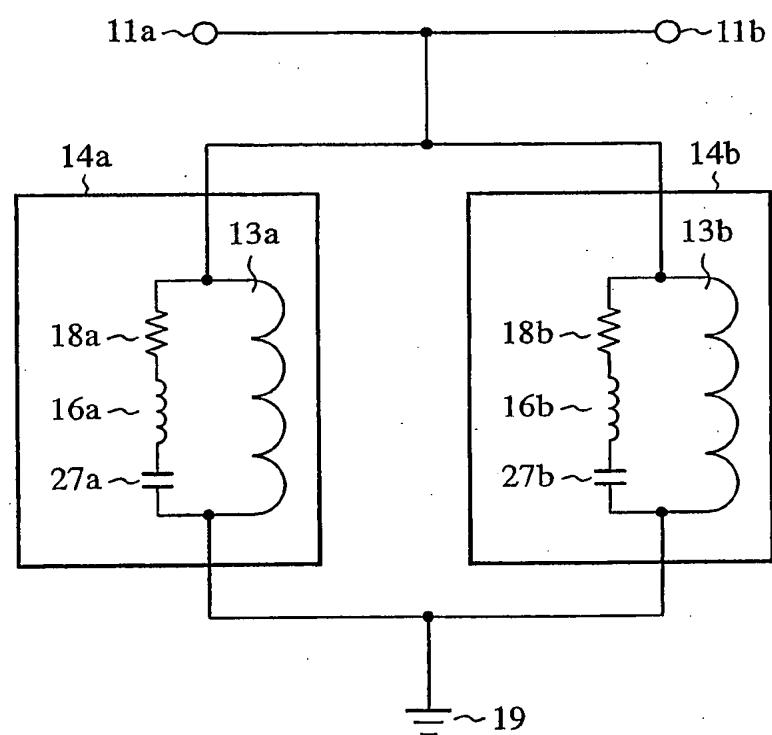
第19図

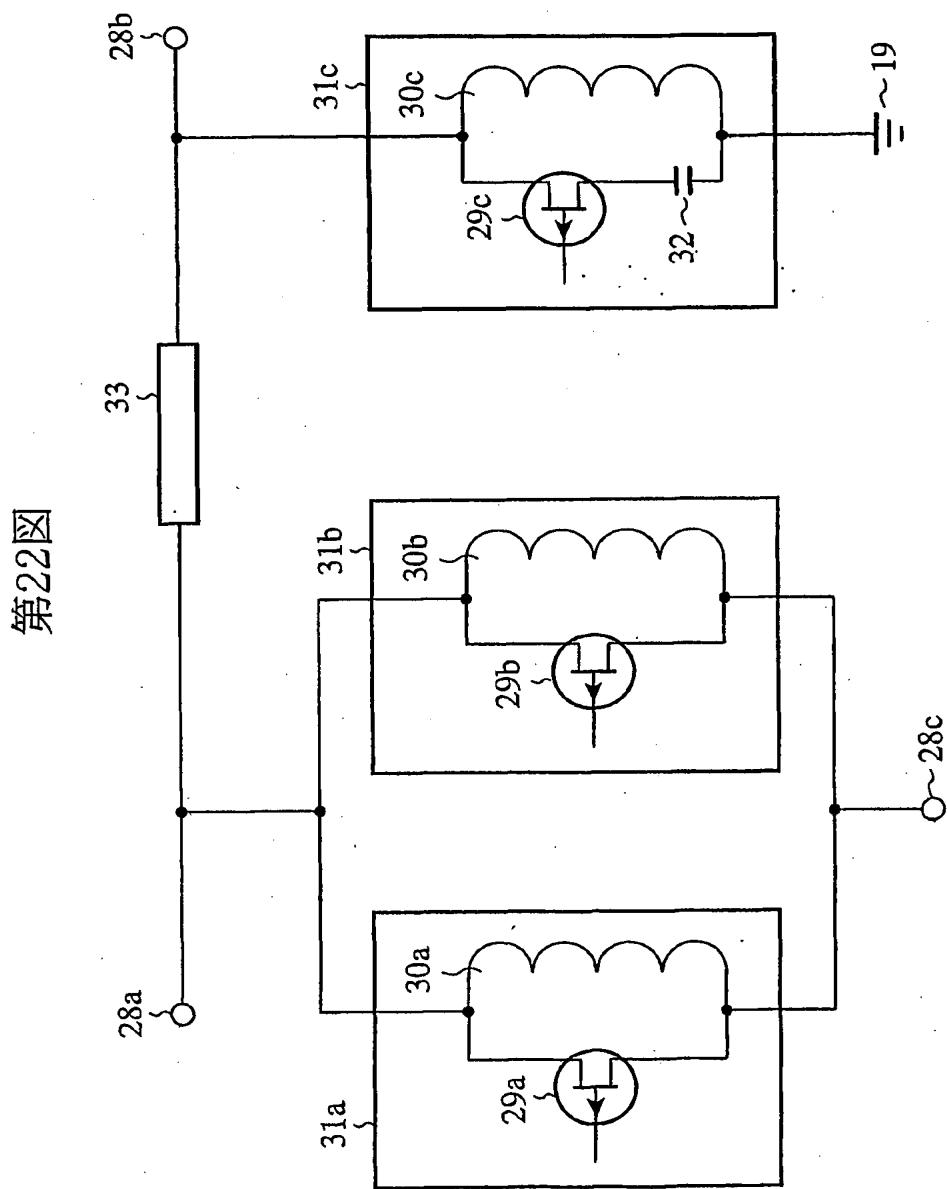


第20図

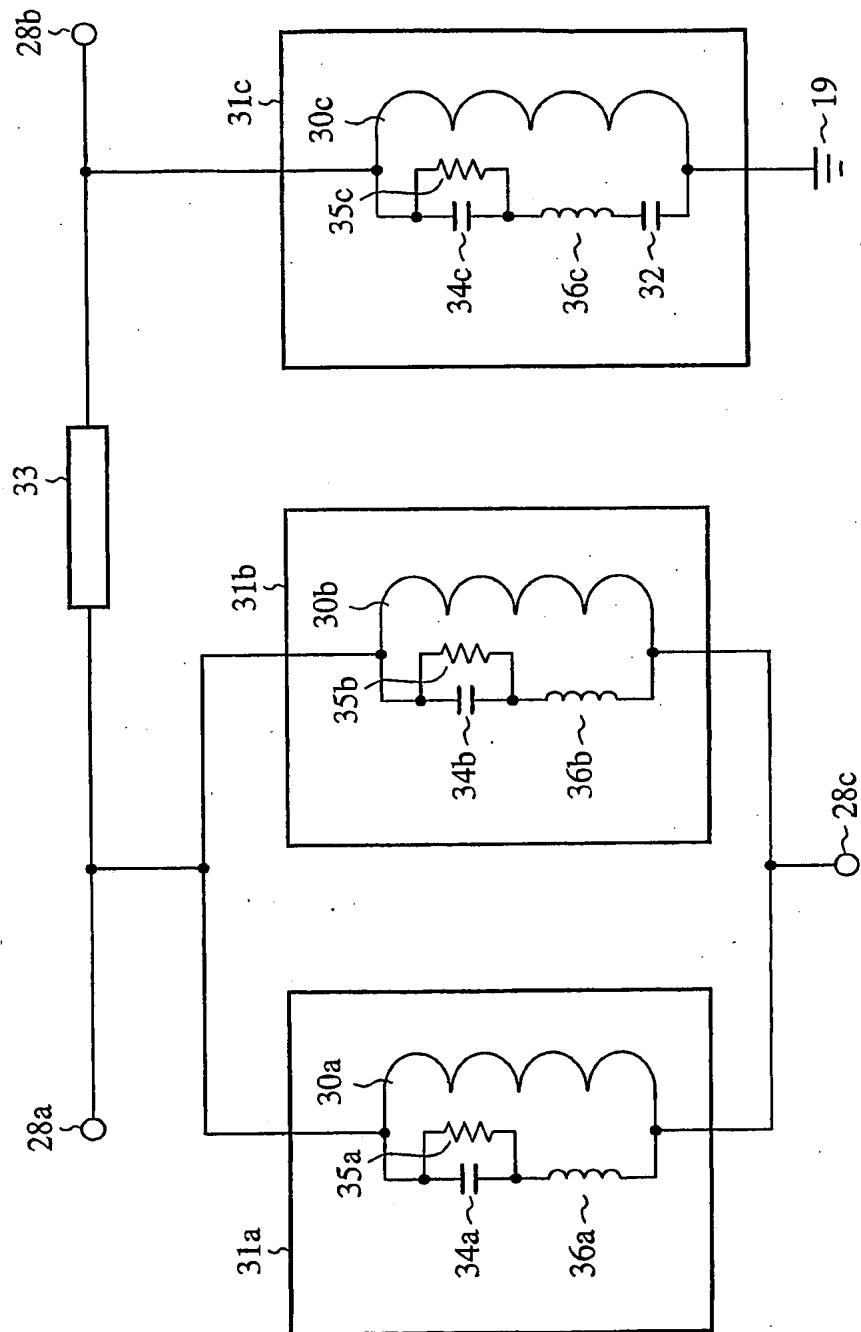


第21図

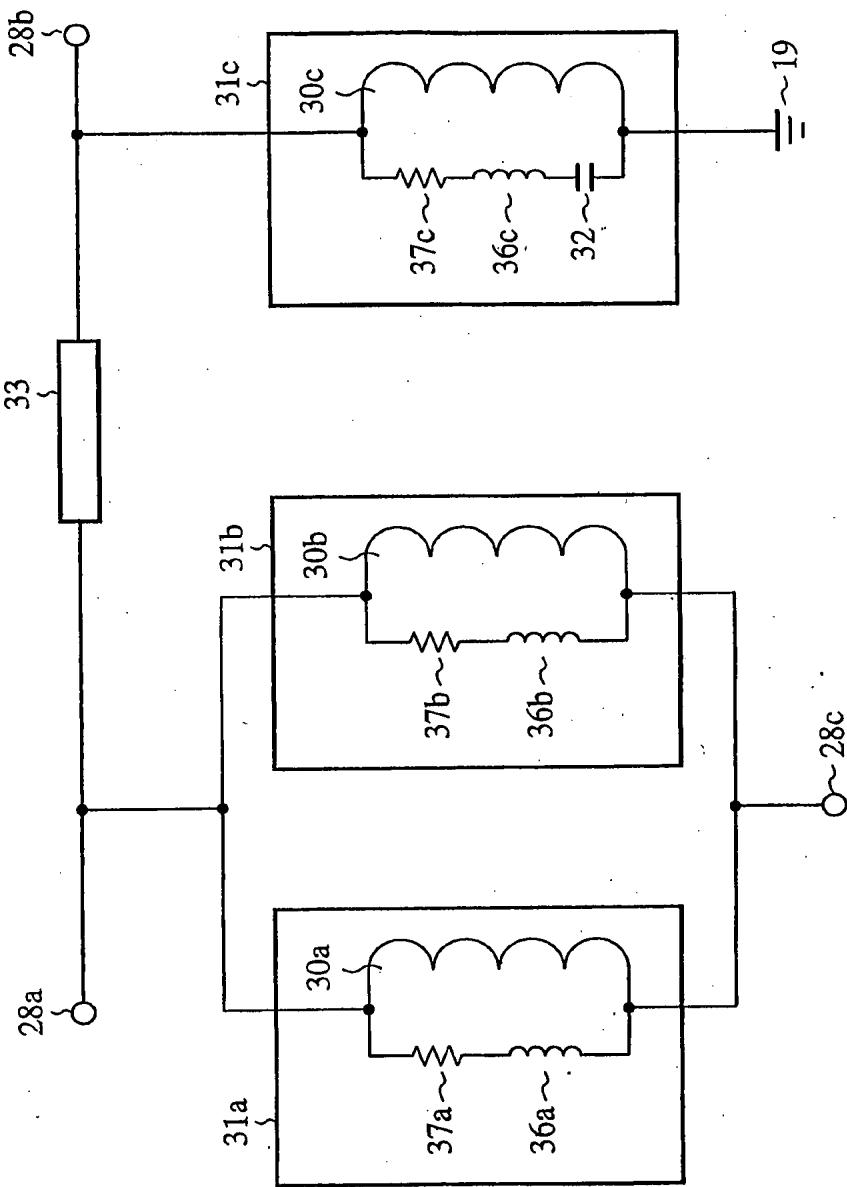




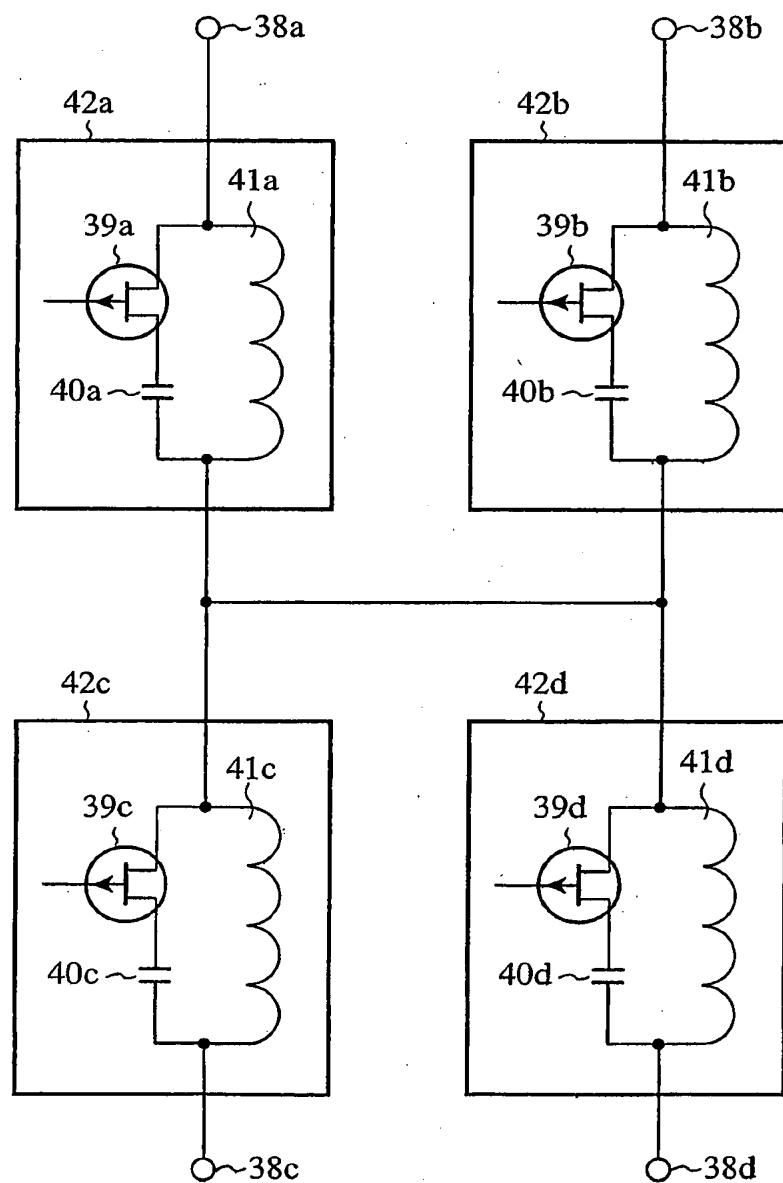
第23図



第24図



第25図



16/16

第26図

入力端子 又は 出力端子	出力端子 又は 入力端子	FET39a	FET39b	FET39c	FET39d
38a	38b	オン	オン	オフ	オフ
	38c	オン	オフ	オン	オフ
	38d	オン	オフ	オフ	オン
38b	38c	オフ	オン	オン	オフ
	38d	オフ	オン	オフ	オン
38c	38d	オフ	オフ	オン	オン

INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2004/004015
--

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01P1/15, H03K17/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01P1/15, H03K17/00, H01L21/00-27/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-299995 A (Nippon Telegraph And Telephone Corp.), 12 November, 1993 (12.11.93), Full text; all drawings (Family: none)	1-12
Y	JP 8-213472 A (Nippon Telegraph And Telephone Corp.), 20 August, 1996 (20.08.96), Full text; all drawings (Family: none)	11-12
A	JP 5-55803 A (Mitsubishi Electric Corp.), 05 March, 1993 (05.03.93), Full text; all drawings (Family: none)	1-12

Further documents are listed in the continuation of Box C.

See patent family annex.

"A"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
21 May, 2004 (21.05.04)

Date of mailing of the international search report
08 June, 2004 (08.06.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int.Cl' H01P 1/15, H03K 17/06

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int.Cl' H01P 1/15, H03K17/00, H01L 21/00-27/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2004年
日本国登録実用新案公報 1996-2004年
日本国実用新案登録公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 5-299995 A (日本電信電話株式会社) 1993. 11. 12、全文、全図 (ファミリーなし)	1-12
Y	JP 8-213472 A (日本電信電話株式会社) 1996. 08. 20、全文、全図 (ファミリーなし)	11-12
A	JP 5-55803 A (三菱電機株式会社) 1993. 03. 05、全文、全図 (ファミリーなし)	1-12

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑惑を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

21.05.2004

国際調査報告の発送日

08.6.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

新川 圭二

5T

8623

電話番号 03-3581-1101 内線 6711

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY REPORT ON PATENTABILITY (Chapter I of the Patent Cooperation Treaty)

(PCT Rule 44bis)

Applicant's or agent's file reference 549061B	FOR FURTHER ACTION		See item 4 below
International application No. PCT/JP2004/004015	International filing date (<i>day/month/year</i>) 24 March 2004 (24.03.2004)	Priority date (<i>day/month/year</i>)	
International Patent Classification (8th edition unless older edition indicated) See relevant information in Form PCT/ISA/237			
Applicant MITSUBISHI DENKI KABUSHIKI KAISHA			

1. This international preliminary report on patentability (Chapter I) is issued by the International Bureau on behalf of the International Searching Authority under Rule 44 bis.1(a).

2. This REPORT consists of a total of 4 sheets, including this cover sheet.

In the attached sheets, any reference to the written opinion of the International Searching Authority should be read as a reference to the international preliminary report on patentability (Chapter I) instead.

3. This report contains indications relating to the following items:

<input checked="" type="checkbox"/>	Box No. I	Basis of the report
<input type="checkbox"/>	Box No. II	Priority
<input type="checkbox"/>	Box No. III	Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
<input type="checkbox"/>	Box No. IV	Lack of unity of invention
<input checked="" type="checkbox"/>	Box No. V	Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
<input type="checkbox"/>	Box No. VI	Certain documents cited
<input type="checkbox"/>	Box No. VII	Certain defects in the international application
<input type="checkbox"/>	Box No. VIII	Certain observations on the international application

4. The International Bureau will communicate this report to designated Offices in accordance with Rules 44bis.3(c) and 93bis.1 but not, except where the applicant makes an express request under Article 23(2), before the expiration of 30 months from the priority date (Rule 44bis .2).

Date of issuance of this report 29 November 2006 (29.11.2006)

Authorized officer

Yoshiko Kuwahara

e-mail: pt07@wipo.int

Facsimile No. +41 22 338 82 70

Form PCT/IB/373 (January 2004)

PATENT COOPERATION TREATY

From the
INTERNATIONAL SEARCHING AUTHORITY

To:

PCT

**WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY**

(PCT Rule 43bis.1)

		Date of mailing (day/month/year)
Applicant's or agent's file reference 549061B		FOR FURTHER ACTION See paragraph 2 below
International application No. PCT/JP2004/004015	International filing date (day/month/year) 24.03.2004	Priority date (day/month/year)
International Patent Classification (IPC) or both national classification and IPC		
Applicant MITSUBISHI DENKI KABUSHIKI KAISHA		

1. This opinion contains indications relating to the following items:

<input checked="" type="checkbox"/>	Box No. I	Basis of the opinion
<input type="checkbox"/>	Box No. II	Priority
<input type="checkbox"/>	Box No. III	Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
<input type="checkbox"/>	Box No. IV	Lack of unity of invention
<input checked="" type="checkbox"/>	Box No. V	Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
<input type="checkbox"/>	Box No. VI	Certain documents cited
<input type="checkbox"/>	Box No. VII	Certain defects in the international application
<input type="checkbox"/>	Box No. VIII	Certain observations on the international application

2. **FURTHER ACTION**

If a demand for international preliminary examination is made, this opinion will be considered to be a written opinion of the International Preliminary Examining Authority ("IPEA") except that this does not apply where the applicant chooses an Authority other than this one to be the IPEA and the chosen IPEA has notified the International Bureau under Rule 66.1bis(b) that written opinions of this International Searching Authority will not be so considered.

If this opinion is, as provided above, considered to be a written opinion of the IPEA, the applicant is invited to submit to the IPEA a written reply together, where appropriate, with amendments, before the expiration of 3 months from the date of mailing of Form PCT/ISA/220 or before the expiration of 22 months from the priority date, whichever expires later.

For further options, see Form PCT/ISA/220.

3. For further details, see notes to Form PCT/ISA/220.

Name and mailing address of the ISA/JP	Authorized officer
Facsimile No.	Telephone No.

WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY

International application No.
PCT/JP2004/004015

Box No. I Basis of this opinion

1. With regard to the language, this opinion has been established on the basis of the international application in the language in which it was filed, unless otherwise indicated under this item.

This opinion has been established on the basis of a translation from the original language into the following language _____, which is the language of a translation furnished for the purposes of international search (under Rule 12.3 and 23.1(b)).

2. With regard to any nucleotide and/or amino acid sequence disclosed in the international application and necessary to the claimed invention, this opinion has been established on the basis of:

a. type of material

a sequence listing
 table(s) related to the sequence listing

b. format of material

in written format
 in computer readable form

c. time of filing/furnishing

contained in the international application as filed.
 filed together with the international application in computer readable form.
 furnished subsequently to this Authority for the purposes of search.

3. In addition, in the case that more than one version or copy of a sequence listing and/or table(s) relating thereto has been filed or furnished, the required statements that the information in the subsequent or additional copies is identical to that in the application as filed or does not go beyond the application as filed, as appropriate, were furnished.

4. Additional comments:

**WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY**

International application No.
PCT/JP2004/004015

Box No. V	Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement																			
<p>1. Statement</p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%;">Novelty (N)</td> <td style="width: 60%;">Claims <u>1-12</u></td> <td style="width: 20%; text-align: right;">YES</td> </tr> <tr> <td></td> <td>Claims _____</td> <td style="text-align: right;">NO</td> </tr> <tr> <td style="padding-left: 20px;">Inventive step (IS)</td> <td>Claims _____</td> <td style="text-align: right;">YES</td> </tr> <tr> <td></td> <td>Claims <u>1-12</u></td> <td style="text-align: right;">NO</td> </tr> <tr> <td style="padding-left: 20px;">Industrial applicability (IA)</td> <td>Claims <u>1-12</u></td> <td style="text-align: right;">YES</td> </tr> <tr> <td></td> <td>Claims _____</td> <td style="text-align: right;">NO</td> </tr> </table>			Novelty (N)	Claims <u>1-12</u>	YES		Claims _____	NO	Inventive step (IS)	Claims _____	YES		Claims <u>1-12</u>	NO	Industrial applicability (IA)	Claims <u>1-12</u>	YES		Claims _____	NO
Novelty (N)	Claims <u>1-12</u>	YES																		
	Claims _____	NO																		
Inventive step (IS)	Claims _____	YES																		
	Claims <u>1-12</u>	NO																		
Industrial applicability (IA)	Claims <u>1-12</u>	YES																		
	Claims _____	NO																		
<p>2. Citations and explanations:</p> <p>Document 1: JP, 5-299995, A (Nippon Telegraph And Telephone Corp.), 12 November, 1993 (12.11.93), Full text; all drawings</p> <p>Document 2: JP, 8-213472, A (Nippon Telegraph And Telephone Corp.), 20 August, 1996 (20.08.96), Full text; all drawings</p> <p>Claims 1-10 Document 1 discloses that 1) inductors are connected in parallel to drains and sources of FETs to resonate the off capacity of the FET switches and the said inductors in parallel; 2) the FET switches are connected in parallel to widen the gate width; 3) FET switches are connected in between an input terminal and ground; and 4) when FET switches, wherein inductors are connected in parallel with a series circuit having capacitors connected in series with drains or sources of FETs, are turned on, a series resonance is generated; and also describes 5) a single-pole double-throw switch using FET switches. By combining these matters as required, therefore, a person skilled in the art could have easily conceived the inventions described in claims 1-10.</p> <p>Claims 11 and 12 As document 2 describes a double-pole double-throw switch constituted with transistor switches, a person skilled in the art could easily employ the FET switches described in document 1 in place of the said transistor switches.</p>																				

PATENT COOPERATION TREATY

From the
INTERNATIONAL SEARCHING AUTHORITY

To:

PCT

**WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY**

(PCT Rule 43bis.1)

		Date of mailing (day/month/year)
Applicant's or agent's file reference 549061B		FOR FURTHER ACTION See paragraph 2 below
International application No. PCT/JP2004/004015	International filing date (day/month/year) 24.03.2004	Priority date (day/month/year)
International Patent Classification (IPC) or both national classification and IPC		
Applicant MITSUBISHI DENKI KABUSHIKI KAISHA		

1. This opinion contains indications relating to the following items:

- Box No. I Basis of the opinion
- Box No. II Priority
- Box No. III Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- Box No. IV Lack of unity of invention
- Box No. V Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- Box No. VI Certain documents cited
- Box No. VII Certain defects in the international application
- Box No. VIII Certain observations on the international application

2. **FURTHER ACTION**

If a demand for international preliminary examination is made, this opinion will be considered to be a written opinion of the International Preliminary Examining Authority ("IPEA") except that this does not apply where the applicant chooses an Authority other than this one to be the IPEA and the chosen IPEA has notified the International Bureau under Rule 66.1bis(b) that written opinions of this International Searching Authority will not be so considered.

If this opinion is, as provided above, considered to be a written opinion of the IPEA, the applicant is invited to submit to the IPEA a written reply together, where appropriate, with amendments, before the expiration of 3 months from the date of mailing of Form PCT/ISA/220 or before the expiration of 22 months from the priority date, whichever expires later.

For further options, see Form PCT/ISA/220.

3. For further details, see notes to Form PCT/ISA/220.

Name and mailing address of the ISA/JP	Authorized officer
Facsimile No.	Telephone No.

WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY

International application No.
PCT/JP2004/004015

Box No. I Basis of this opinion

1. With regard to the language, this opinion has been established on the basis of the international application in the language in which it was filed, unless otherwise indicated under this item.

This opinion has been established on the basis of a translation from the original language into the following language _____, which is the language of a translation furnished for the purposes of international search (under Rule 12.3 and 23.1(b)).

2. With regard to any nucleotide and/or amino acid sequence disclosed in the international application and necessary to the claimed invention, this opinion has been established on the basis of:

a. type of material

a sequence listing
 table(s) related to the sequence listing

b. format of material

in written format
 in computer readable form

c. time of filing/furnishing

contained in the international application as filed.
 filed together with the international application in computer readable form.
 furnished subsequently to this Authority for the purposes of search.

3. In addition, in the case that more than one version or copy of a sequence listing and/or table(s) relating thereto has been filed or furnished, the required statements that the information in the subsequent or additional copies is identical to that in the application as filed or does not go beyond the application as filed, as appropriate, were furnished.

4. Additional comments:

**WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY**

International application No.
PCT/JP2004/004015

Box No. V	Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement																												
<p>1. Statement</p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 30%;">Novelty (N)</td> <td style="width: 40%;">Claims</td> <td style="width: 30%; text-align: right;">YES</td> </tr> <tr> <td></td> <td><u>1-12</u></td> <td></td> </tr> <tr> <td></td> <td>Claims</td> <td style="text-align: right;">NO</td> </tr> <tr> <td>Inventive step (IS)</td> <td>Claims</td> <td style="text-align: right;">YES</td> </tr> <tr> <td></td> <td><u>1-12</u></td> <td></td> </tr> <tr> <td></td> <td>Claims</td> <td style="text-align: right;">NO</td> </tr> <tr> <td>Industrial applicability (IA)</td> <td>Claims</td> <td style="text-align: right;">YES</td> </tr> <tr> <td></td> <td><u>1-12</u></td> <td></td> </tr> <tr> <td></td> <td>Claims</td> <td style="text-align: right;">NO</td> </tr> </table>			Novelty (N)	Claims	YES		<u>1-12</u>			Claims	NO	Inventive step (IS)	Claims	YES		<u>1-12</u>			Claims	NO	Industrial applicability (IA)	Claims	YES		<u>1-12</u>			Claims	NO
Novelty (N)	Claims	YES																											
	<u>1-12</u>																												
	Claims	NO																											
Inventive step (IS)	Claims	YES																											
	<u>1-12</u>																												
	Claims	NO																											
Industrial applicability (IA)	Claims	YES																											
	<u>1-12</u>																												
	Claims	NO																											
<p>2. Citations and explanations:</p> <p>Document 1: JP, 5-299995, A (Nippon Telegraph And Telephone Corp.), 12 November, 1993 (12.11.93), Full text; all drawings</p> <p>Document 2: JP, 8-213472, A (Nippon Telegraph And Telephone Corp.), 20 August, 1996 (20.08.96), Full text; all drawings</p> <p>Claims 1-10 Document 1 discloses that 1) inductors are connected in parallel to drains and sources of FETs to resonate the off capacity of the FET switches and the said inductors in parallel; 2) the FET switches are connected in parallel to widen the gate width; 3) FET switches are connected in between an input terminal and ground; and 4) when FET switches, wherein inductors are connected in parallel with a series circuit having capacitors connected in series with drains or sources of FETs, are turned on, a series resonance is generated; and also describes 5) a single-pole double-throw switch using FET switches. By combining these matters as required, therefore, a person skilled in the art could have easily conceived the inventions described in claims 1-10.</p> <p>Claims 11 and 12 As document 2 describes a double-pole double-throw switch constituted with transistor switches, a person skilled in the art could easily employ the FET switches described in document 1 in place of the said transistor switches.</p>																													

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY REPORT ON PATENTABILITY

(Chapter I of the Patent Cooperation Treaty)

(PCT Rule 44bis)

Applicant's or agent's file reference 549061B	FOR FURTHER ACTION		See item 4 below
International application No. PCT/JP2004/004015	International filing date (day/month/year) 24 March 2004 (24.03.2004)	Priority date (day/month/year)	
International Patent Classification (8th edition unless older edition indicated) See relevant information in Form PCT/ISA/237			
Applicant MITSUBISHI DENKI KABUSHIKI KAISHA			

1. This international preliminary report on patentability (Chapter I) is issued by the International Bureau on behalf of the International Searching Authority under Rule 44 bis.1(a).

2. This REPORT consists of a total of 4 sheets, including this cover sheet.

In the attached sheets, any reference to the written opinion of the International Searching Authority should be read as a reference to the international preliminary report on patentability (Chapter I) instead.

3. This report contains indications relating to the following items:

<input checked="" type="checkbox"/> Box No. I	Basis of the report
<input type="checkbox"/> Box No. II	Priority
<input type="checkbox"/> Box No. III	Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
<input type="checkbox"/> Box No. IV	Lack of unity of invention
<input checked="" type="checkbox"/> Box No. V	Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
<input type="checkbox"/> Box No. VI	Certain documents cited
<input type="checkbox"/> Box No. VII	Certain defects in the international application
<input type="checkbox"/> Box No. VIII	Certain observations on the international application

4. The International Bureau will communicate this report to designated Offices in accordance with Rules 44bis.3(c) and 93bis.1 but not, except where the applicant makes an express request under Article 23(2), before the expiration of 30 months from the priority date (Rule 44bis .2).

Date of issuance of this report 26 September 2006 (26.09.2006)

Authorized officer

Yoshiko Kuwahara

e-mail: pt07@wipo.int

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland

Facsimile No. +41 22 338 82 70

Form PCT/IB/373 (January 2004)

特許協力条約

発信人 日本国特許庁（国際調査機関）

REC'D 10 JUN 2004

WIPO

PCT

出願人代理人 田澤 博昭	様
あて名 〒 100-0013 東京都千代田区霞ヶ関三丁目 7 番 1 号大東ビル 7 階	

P C T
国際調査機関の見解書
(法施行規則第40条の2)
(P C T規則43の2.1)

出願人又は代理人 の登録記号 549061B	発送日 (日.月.年) 08.6.2004	今後の手続きについては、下記 2 を参照すること。
国際出願番号 P C T / J P 2 0 0 4 / 0 0 4 0 1 5	国際出願日 (日.月.年) 24.03.2004	優先日 (日.月.年) _____
国際特許分類 (I P C) Int.C1' H01P1/15		
出願人 (氏名又は名称) 三菱電機株式会社		

1. この見解書は次の内容を含む。

- 第 I 欄 見解の基礎
- 第 II 欄 優先権
- 第 III 欄 新規性、進歩性又は産業上の利用可能性についての見解の不作成
- 第 IV 欄 発明の単一性の欠如
- 第 V 欄 P C T 規則43の2.1(a)(i)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- 第 VI 欄 ある種の引用文献
- 第 VII 欄 国際出願の不備
- 第 VIII 欄 国際出願に対する意見

2. 今後の手続き

国際予備審査の請求がされた場合は、出願人がこの国際調査機関とは異なる国際予備審査機関を選択し、かつ、その国際予備審査機関が P C T 規則66.1の2(b)の規定に基づいて国際調査機関の見解書を国際予備審査機関の見解書とみなさない旨を国際事務局に通知していた場合を除いて、この見解書は国際予備審査機関の最初の見解書とみなされる。

この見解書が上記のように国際予備審査機関の見解書とみなされる場合、様式 P C T / I S A / 2 2 0 を送付した日から 3 月又は優先日から 2 月のうちいずれか遅く満了する期限が経過するまでに、出願人は国際予備審査機関に、適当な場合は補正書とともに、答弁書を提出することができる。

さらなる選択肢は、様式 P C T / I S A / 2 2 0 を参照すること。

3. さらなる詳細は、様式 P C T / I S A / 2 2 0 の備考を参照すること。

見解書を作成した日 21.05.2004	特許序審査官 (権限のある職員) 新川 圭二	5T 8623
名称及びあて先 日本国特許庁 (I S A / J P) 郵便番号 100-8915 東京都千代田区霞ヶ関三丁目 4 番 3 号	電話番号 03-3581-1101 内線 6711	

第Ⅰ欄 見解の基礎

1. この見解書は、下記に示す場合を除くほか、国際出願の言語を基礎として作成された。

この見解書は、_____語による翻訳文を基礎として作成した。
それは国際調査のために提出されたPCT規則12.3及び23.1(b)にいう翻訳文の言語である。

2. この国際出願で開示されかつ請求の範囲に係る発明に不可欠なヌクレオチド又はアミノ酸配列に関して、
以下に基づき見解書を作成した。

a. タイプ 配列表

配列表に関連するテーブル

b. フォーマット 巻面

コンピュータ読み取り可能な形式

c. 提出時期 出願時の国際出願に含まれる

この国際出願と共にコンピュータ読み取り可能な形式により提出された

出願後に、調査のために、この国際調査機関に提出された

3. さらに、配列表又は配列表に関連するテーブルを提出した場合に、出願後に提出した配列若しくは追加して提出した配列が出願時に提出した配列と同一である旨、又は、出願時の開示を超える事項を含まない旨の陳述書の提出があった。

4. 補足意見：

第V欄 新規性、進歩性又は産業上の利用可能性についてのPCT規則43の2.1(a)(i)に定める見解、
それを裏付ける文献及び説明

1. 見解

新規性 (N)

請求の範囲 1-12

有

請求の範囲

無

進歩性 (I S)

請求の範囲

有

請求の範囲 1-12

無

産業上の利用可能性 (I A)

請求の範囲 1-12

有

請求の範囲

無

2. 文献及び説明

文献1 : JP 5-299995 A (日本電信電話株式会社) 1993. 11.
12、全文、全図

文献2 : JP 8-213472 A (日本電信電話株式会社) 1996. 08.
20、全文、全図

請求の範囲 1-10

文献1には、電界効果トランジスタのドレインおよびソースにインダクタを並列に接続し、電界効果トランジスタスイッチのオフ容量と該インダクタとを並列共振させること、ゲート幅を増加させるために電界効果トランジスタスイッチを並列接続すること、入力端子とグランド間に電界効果トランジスタスイッチを接続すること、電界効果トランジスタのドレインまたはソースにキャパシタを直列接続した直列回路にインダクタを並列接続した電界効果トランジスタスイッチにより、該スイッチがオンのときに直列共振させること、電界効果トランジスタスイッチを用いた単極双投スイッチ、が記載されており、これらの記載事項を適宜組み合わせることにより請求の範囲 1-10 に記載された発明は当業者が容易に想到し得たものと認められる。

請求の範囲 11, 12

文献2には、トランジスタスイッチを用いて構成した双極双投スイッチが記載されており、該トランジスタスイッチとして文献1に記載された電界効果トランジスタスイッチを用いることは当業者が容易に想到し得るものと認められる。

特許協力条約

発信人 日本国特許庁（国際調査機関）

REC'D 10 JUN 2004

WIPO

PCT

出願人代理人 田澤 博昭	様
あて名 〒 100-0013 東京都千代田区霞ヶ関三丁目 7番 1号大東ビル 7階	

P C T
国際調査機関の見解書
(法施行規則第40条の2)
(P C T規則43の2.1)

出願人又は代理人 の登録記号 549061B	発送日 (日.月.年) 08.6.2004	今後の手続きについては、下記 2 を参照すること。
国際出願番号 P C T / J P 2 0 0 4 / 0 0 4 0 1 5	国際出願日 (日.月.年) 24.03.2004	優先日 (日.月.年) _____
国際特許分類 (I P C) Int.C1' H01P1/15		
出願人 (氏名又は名称) 三菱電機株式会社		

1. この見解書は次の内容を含む。

- 第 I 案 見解の基礎
- 第 II 案 優先権
- 第 III 案 新規性、進歩性又は産業上の利用可能性についての見解の不作成
- 第 IV 案 発明の単一性の欠如
- 第 V 案 P C T 規則43の2.1(a)(i)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- 第 VI 案 ある種の引用文献
- 第 VII 案 国際出願の不備
- 第 VIII 案 国際出願に対する意見

2. 今後の手続き

国際予備審査の請求がされた場合は、出願人がこの国際調査機関とは異なる国際予備審査機関を選択し、かつ、その国際予備審査機関が P C T 規則66.1の2(b)の規定に基づいて国際調査機関の見解書を国際予備審査機関の見解書とみなさない旨を国際事務局に通知していた場合を除いて、この見解書は国際予備審査機関の最初の見解書とみなされる。

この見解書が上記のように国際予備審査機関の見解書とみなされる場合、様式 P C T / I S A / 2 2 0 を送付した日から 3 月又は優先日から 2 2 月のうちいずれか遅く満了する期限が経過するまでに、出願人は国際予備審査機関に、適当な場合は補正書とともに、答弁書を提出することができる。

さらなる選択肢は、様式 P C T / I S A / 2 2 0 を参照すること。

3. さらなる詳細は、様式 P C T / I S A / 2 2 0 の参考を参照すること。

見解書を作成した日 21.05.2004	特許庁審査官（権限のある職員） 新川 圭二	5T	8623
名称及びあて先 日本国特許庁 (I S A / J P) 郵便番号 100-8915 東京都千代田区霞ヶ関三丁目 4番 3号	電話番号 03-3581-1101 内線 6711		

第Ⅰ欄 見解の基礎

1. この見解書は、下記に示す場合を除くほか、国際出願の言語を基礎として作成された。

この見解書は、_____語による翻訳文を基礎として作成した。
それは国際調査のために提出されたPCT規則12.3及び23.1(b)にいう翻訳文の言語である。

2. この国際出願で開示されかつ請求の範囲に係る発明に不可欠なヌクレオチド又はアミノ酸配列に関して、
以下に基づき見解書を作成した。

a. タイプ 配列表

配列表に関連するテーブル

b. フォーマット 表面

コンピュータ読み取り可能な形式

c. 提出時期 出願時の国際出願に含まれる

この国際出願と共にコンピュータ読み取り可能な形式により提出された

出願後に、調査のために、この国際調査機関に提出された

3. さらに、配列表又は配列表に関連するテーブルを提出した場合に、出願後に提出した配列若しくは追加して提出した配列が出願時に提出した配列と同一である旨、又は、出願時の開示を超える事項を含まない旨の陳述書の提出があった。

4. 補足意見：

第V欄 新規性、進歩性又は産業上の利用可能性についてのPCT規則43の2.1(a)(i)に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)

請求の範囲 1-12

有

請求の範囲

無

進歩性 (I S)

請求の範囲

有

請求の範囲 1-12

無

産業上の利用可能性 (I A)

請求の範囲 1-12

有

請求の範囲

無

2. 文献及び説明

文献1 : J P 5-299995 A (日本電信電話株式会社) 1993. 11.
12、全文、全図

文献2 : J P 8-213472 A (日本電信電話株式会社) 1996. 08.
20、全文、全図

請求の範囲 1-10

文献1には、電界効果トランジスタのドレインおよびソースにインダクタを並列に接続し、電界効果トランジスタスイッチのオフ容量と該インダクタとを並列共振させること、ゲート幅を増加させるために電界効果トランジスタスイッチを並列接続すること、入力端子とグランド間に電界効果トランジスタスイッチを接続すること、電界効果トランジスタのドレインまたはソースにキャパシタを直列接続した直列回路にインダクタを並列接続した電界効果トランジスタスイッチにより、該スイッチがオンのときに直列共振させること、電界効果トランジスタスイッチを用いた単極双投スイッチ、が記載されており、これらの記載事項を適宜組み合わせることにより請求の範囲1-10に記載された発明は当業者が容易に想到し得たものと認められる。

請求の範囲 11, 12

文献2には、トランジスタスイッチを用いて構成した双極双投スイッチが記載されており、該トランジスタスイッチとして文献1に記載された電界効果トランジスタスイッチを用いることは当業者が容易に想到し得るものと認められる。